T.C.
VAN YÜZÜNCÜ YIL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

ELEKTRİKLİ ARAÇLAR İÇİN TEK DA KAYNAĞI KULLANILAN YENİ BİR ÇOK SEVİYELİ EVİRİCİ TASARIMI VE KONTROLÜ

DOKTORA TEZİ

Hasan HATAŞ
Danışman: Prof. Dr. M. Nuri ALMALI

VAN – 2023

T.C.
VAN YÜZÜNCÜ YIL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

ELEKTRİKLİ ARAÇLAR İÇİN TEK DA KAYNAĞI KULLANILAN YENİ BİR ÇOK SEVİYELİ EVİRİCİ TASARIMI VE KONTROLÜ

DOKTORA TEZİ

Hasan HATAŞ

VAN – 2023

KABUL VE ONAY SAYFASI

Van Yüzüncü Yıl Üniversitesi Fen Bilimleri Enstitüsü, Elektrik Elektronik Mühendisliği Anabilim Dalı'nda Prof. Dr. M. Nuri ALMALI danışmanlığında, Hasan HATAŞ tarafından sunulan **"Elektrikli Araçlar için Tek DA Kaynağı Kullanılan Yeni Bir Çok Seviyeli Evirici Tasarımı ve Kontrolü"** isimli bu çalışma Lisansüstü Eğitim ve Öğretim Yönetmeliği'nin ilgili hükümleri gereğince 20/06/2023 tarihinde aşağıdaki jüri tarafından **oy birliği** ile başarılı bulunmuş ve **Doktora Tezi** olarak kabul edilmiştir.

Başkan: Prof. Dr. M. Emin MERAL İmza:

Üye: Prof. Dr. M. Nuri ALMALI İmza:

Üye: Prof. Dr. Sabir RÜSTEMLİ İmza:

Üye: Prof. Dr. Köksal ERENTÜRK İmza:

Üye: Doç. Dr. Yakup ŞAHİN İmza:

Fen Bilimleri Enstitüsü Yönetim Kurulu'nun …. /.... /…... tarih ve ..... sayılı kararı ile onaylanmıştır.

İmza

Prof. Dr. Harun AKKUŞ

Enstitü Müdürü

ETİK BEYAN

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada bana ait olmayan her türlü ifade ve bilginin kaynağına eksiksiz atıf yapıldığını bildiririm.

Hasan HATAŞ

ÖZET

ELEKTRİKLİ ARAÇLAR İÇİN TEK DA KAYNAĞI KULLANILAN YENİ BİR ÇOK SEVİYELİ EVİRİCİ TASARIMI VE KONTROLÜ

HATAŞ, Hasan
Doktora Tezi, Elektrik-Elektronik Mühendisliği Anabilim Dalı
Danışman: Prof. Dr. M. Nuri ALMALI
Haziran 2023, 119 sayfa

Elektrikli araçlarda (EA) yüksek verimlilik, daha küçük ve hafif motorlarla daha fazla güç sağlanabilmesi nedeniyle baskın olarak AA motorları kullanılır. Ek olarak EA'lar başta olmak üzere çoğu uygulamada, kullanım kolaylığı için tek bir DA kaynağı arzu edilir. Bu tez çalışmasında EA'lar için tek kaynaktan beslenen 31 seviyeli yeni bir çok seviyeli evirici (ÇSE) devresi önerilmiştir. Önerilen topolojide ana devre olarak anahtarlamalı diyot yapısı kullanılmış ve DA bara gerilimleri asimetrik olarak ölçeklendirilerek ve toroid transformatör ile yüksek frekans bağlantısı (HFL) yöntemi kullanılarak elde edilmiştir. Çıkış dalga biçiminde minimum Toplam Harmonik Bozulma (THB) için En Yakın Seviye Kontrolü (NLC) ve SPWM yöntemi kullanılmış ve sonuçları kıyaslanmıştır. Önerilen topolojinin benzetimi Matlab/Simulink programında gerçekleştirilmiş ve FPGA kullanılarak gerçekleştirilen deneysel çalışmalarla benzetim sonuçları doğrulanmıştır. Çalışmalarda, yük olarak; saf rezistif, rezistif-indüktif ve asenkron motor kullanılmıştır. Ayrıca önerilen ÇSE devresi katına çeşitli filtreler eklenerek filtre etkisi gösterilmiştir. Önerilen topoloji HFL kullanan diğer topolojilerle anahtar sayısı, diyot sayısı, toplam bloklama gerilimi (TSV) ve THB bakımından karşılaştırılmıştır. Önerilen ÇSE temel frekansta çalıştırılarak klasik eviriciyle hem benzetim hem de deneysel çalışma ortamında kıyaslanmıştır. Sonuç olarak, önerilen ÇSE devresinin kıyaslanan diğer çalışmalara göre daha düşük anahtar sayısına ve düşük TSV değerine sahip olduğu gözlemlenmiştir. Önerilen topoloji düşük gerilimli anahtarlarla yüksek gerilimli bir çıkış katı oluşturmuştur. Düşürücü devredeki tek anahtarla çıkış geriliminin doğrusal olarak ayarlanabilmesi önerilen topolojinin EA'larda kullanımını kolaylaştırır. EA sürücü sistemine uygun, tek DA kaynaklı ve çıkış gerilimi THB değeri filtre kullanılmadan %2,7 olan bir topoloji elde edilmiştir.

Anahtar kelimeler: Çok seviyeli evirici, Elektrikli araç sürücüsü, FPGA, HFL, Yüksek frekans bağlantısı

ABSTRACT

DESIGN AND CONTROL OF A MULTILEVEL INVERTER FOR ELECTRIC VEHICLES USING A SINGLE DC SOURCE

Hataş, Hasan
Ph.D. Thesis, Department of Electrical and Electronics Engineering
Supervisor: Prof. Dr. M. Nuri ALMALI
June 2023, 119 pages

AC motors are predominantly used in electric vehicles (EV) due to their high efficiency and the ability to provide more power with smaller and lighter motors. Additionally, most applications, especially EVs, require a single DC source for ease of use. In this thesis, a new 31-level inverter (MLI) circuit fed from a single source is proposed for EVs. In the proposed topology, switched diode structure is used as the main circuit and DC bus voltages are obtained by scaling asymmetrically and using high frequency connection (HFL) method with toroid transformer. For the minimum Total Harmonic Distortion (THD) in the output waveform, the Nearest Level Control (NLC) and SPWM method were used and the results were compared. The simulation of the proposed topology was carried out in the Matlab/Simulink program and the simulation results were confirmed by experimental studies using FPGA. In studies, as a load; pure resistive, resistive-inductive and asynchronous motors are used. In addition, the filter effect is shown by adding various filters to the proposed MLI circuit layer. The proposed topology is compared with other topologies using HFL in terms of number of switches, number of diodes, total blocking voltage (TSV) and THD. The proposed MLI is operated at the fundamental frequency and compared with the classical inverter in both simulation and experimental environment. As a result, it has been observed that the proposed MLI circuit has a lower number of switches and lower TSV than the other studies compared. The proposed topology has created a high voltage output stage with low voltage switches. The linear adjustment of the output voltage with a single switch in the step-down circuit facilitates the use of the proposed topology in EVs. A topology suitable for the EV drive system, with a single DC source and an output voltage THD value of 2.7% without using a filter, was obtained.

Keywords: Electric vehicle driver, FPGA, HFL, High Frequency Link, Multilevel inverter,

TEŞEKKÜR

Bu tez çalışmasında, her türlü ilgi ve yardımlarını esirgemeyen danışmanım sayın Prof. Dr. M. Nuri ALMALI'ya ve tez izleme komisyonun üyeleri sayın Prof. Dr. M. Emin MERAL'e ve sayın Doç. Dr Yakup ŞAHİN'e teşekkür ederim. Doktora eğitimim süresince bana desteğini esirgemeyen arkadaşlarım Ramin RAJABİOUN'a, Mustafa ZABUN'a, Murat KARAKILIÇ'a teşekkür ederim. Kıymetli çalışma arkadaşlarım Doç. Dr. Özkan ATAN'a, Doç. Dr. Doğan Çelik'e, Dr. Öğr. Üyesi Hasan ÜZMUŞ'a, Dr. Öğr. Üyesi İshak PARLAR'a ve Araş. Gör. Onur SİLAHTAR' a teşekkürlerimi sunarım.

Tüm hayatım boyunca manevi desteklerini benden esirgemeyen anneme, babama, kardeşlerime, akademik eğitimim süresince göstermiş oldukları sabır ve destekten dolayı sevgili eşim Merve ÖZÇELİK HATAŞ'a ve aslan oğlum YUSUF KAĞAN'a en içten dileklerimi sunarım.

2023

Hasan HATAŞ

İÇİNDEKİLER

Sayfa

ÖZET i
ABSTRACT iii
TEŞEKKÜR v
İÇİNDEKİLER vii
ÇİZELGELER LİSTESİ ix
ŞEKİLLER LİSTESİ xi
SİMGELER VE KISALTMALAR xv
EKLER DİZİNİ xvii
1. GİRİŞ 1
2. KAYNAK BİLDİRİŞLERİ 5
3. EA SÜRÜCÜ SİSTEMİNE GENEL BAKIŞ 13
3.1 Batarya ve BYS 13
3.2 DA-DA Dönüştürücü 14
3.3 Evirici 15
3.4 Elektrik Motorları 16
3.5 Kontrol Sistemi 17
3.6 EA Gelecek Eğilimleri 18
4. MATERYAL VE YÖNTEM 21
4.1 Klasik Evirici 21
4.2 Önerilen Topoloji ve Ana Modüller 28
4.2.1 Toplayıcı Diyot Genel Yapısı 30
4.2.2 H-Köprü Devresi 35
4.2.3 Yüksek Frekanslı Bağlantı Devresi 40
4.2.4 Düşürücü Devre 42
4.2.5 Sürücü Devreleri 46
4.2.5.1 Toplayıcı Diyot Devre Sürücüsü 47
4.2.5.2 H-Köprü Devre Sürücüsü 48
4.2.5.3 Düşürücü ve Yarım H-Köprü Devre Sürücüsü 50
4.3 Transformatör Sarım ve Güç Hesabı 52
4.4 Genişletme Topolojisi 57

4.5 Kullanılan Yükler 58
4.5.1 Direnç 58
4.5.2 İndüktif Filtre 59
4.5.3 Asenkron Motor 60
4.5.4 Kapasitif Filtre 64
4.6 Kontrol Yöntemleri 64
4.6.1 En Yakın Seviye Kontrolü 65
4.6.2 Sinüzoidal Darbe Genişlik Modülasyonu 66
4.7 FPGA 67
5. BULGULAR VE TARTIŞMA 77
5.1 Benzetim Sonuçları 77
5.1.1 Klasik Evirici Benzetim Sonuçları 77
5.1.2 Önerilen ÇSE Benzetim Sonuçları 79
5.2 Deneysel Sonuçlar 87
5.2.1 Klasik Evirici Deneysel Sonuçları 88
5.2.2 Önerilen ÇSE Deneysel Sonuçları 89
5.3 Kayıp, Güç ve Verimlilik Analizi 98
5.4 HFL Kullanılan Diğer ÇSE'lerle Kıyaslama 103
5.5 Klasik Evirici ile Kıyas 106
5.6 Önerilen Topolojinin EA Sürücü Sistemine Uygunluğu 108
6. SONUÇ 111
KAYNAKLAR 113
EKLER 117
ÖZ GEÇMİŞ 119

ÇİZELGELER LİSTESİ

Çizelge 3.1 Bazı iyi bilinen yolcu EA'larının motor tipine göre sınıflandırılması 17
Çizelge 3.2. Piyasadaki mevcut çekiş evirici topolojileri..... 19
Çizelge 4.1 Dört modüllü yapı için anahtarlama durumları 31
Çizelge 4.2 Genişletme Denklemleri..... 57
Çizelge 4.3 Yüksüz durum motor parametreleri 61
Çizelge 4.4 Kilitli rotor testi parametre değerleri..... 63
Çizelge 5.1 Elemanların kayba neden olan değerleri 99
Çizelge 5.2 Asenkron motor artan yüke göre oluşan parametreler 102
Çizelge 5.3 Farklı topolojilerin CF'sinin karşılaştırılması..... 103
Çizelge 5.4 Klasik Evirici ve önerilen ÇSE parametreleri 107

ŞEKİLLER LİSTESİ

Şekil 3.1 Bir EA çekiş sisteminin genel yapısı 13
Şekil 3.2 Gerilim kaynaklı çekiş topolojilerin sınıflandırılması 16
Şekil 4.1 Klasik evirici bağlantısı 21
Şekil 4.2 Klasik evirici anahtarlama sinyalleri 22
Şekil 4.3 Klasik evirici modları 22
Şekil 4.4 Klasik evirici mod-1 23
Şekil 4.5 Klasik evirici mod-2 23
Şekil 4.6 Klasik evirici mod-3 24
Şekil 4.7 Klasik evirici mod-4 25
Şekil 4.8 Klasik evirici mod-5 25
Şekil 4.9 Klasik evirici mod-6 26
Şekil 4.10 Yarım H-köprü Proteus çizimi 27
Şekil 4.11 Klasik evirici devre kartı 27
Şekil 4.12 Önerilen çok seviyeli evirici yapısı 28
Şekil 4.13 Önerilen ÇSE'nin bağımsız kaynaklarla ana topolojisi 29
Şekil 4.14 Toplayıcı diyot yapısı 30
Şekil 4.15 Anahtarlama modları: V_{Bara} =0, 1V_{DA}, 2V_{DA}, 3V_{DA} 32
Şekil 4.16 Anahtarlama modları: V_{Bara} = 4V_{DA}, 5V_{DA}, 6V_{DA}, 7V_{DA} 32
Şekil 4.17 Anahtarlama modları: V_{Bara} = 8V_{DA}, 9V_{DA}, 10V_{DA}, 11V_{DA} 33
Şekil 4.18 Anahtarlama modları: V_{Bara} = 12V_{DA}, 13V_{DA}, 14V_{DA}, 15V_{DA} 33
Şekil 4.19 İki modüllü toplayıcı diyot yapısı 34
Şekil 4.20 Anahtarlama diyot modülü devre şematiği 34
Şekil 4.21 Toplayıcı diyot yapısının fiziksel devresi 35
Şekil 4.22 H-köprü devresi 36
Şekil 4.23 H-köprü çıkışının 0V olma durumu (a) (AB=00), (b) (AB=11) 37
Şekil 4.24 A'nın 0 B'nin 1 olma durumu (AB=01) 37
Şekil 4.25 A'nın 1, B'nin 0 olma durumu (AB=10) 38
Şekil 4.26 H-köprü Proteus çizimi 38
Şekil 4.27 H-köprü deneysel devresi 39
Şekil 4.28 Önerilen HFL devresi 40

Şekil 4.29 Kullanılan toroid transformatör deneysel devresi 41
Şekil 4.30 Kullanılan diyot doğrultucu deneysel devresi 42
Şekil 4.31 Düşürücü devre 42
Şekil 4.32 Sürekli iletim modunda indüktör akım dalga şekilleri 43
Şekil 4.33 Düşürücü devre şeması. a: S-anahtarı kapalı, b: S-anahtarı açık 44
Şekil 4.34 Düşürücü devrenin Proteus çizimi 45
Şekil 4.35 Düşürücü devrenin deneysel kartı 46
Şekil 4.36 Toplayıcı devre için sürücü devresi Proteus çizimi..... 47
Şekil 4.37 Toplayıcı devre için sürücü devre kartı 48
Şekil 4.38 H-köprü devresi Proteus çizimi 49
Şekil 4.39 H-köprü için sürücü devre kartı..... 50
Şekil 4.40 Düşürücü devre ve Yarım H-köprü sürücüsü Proteus çizimi..... 51
Şekil 4.41 Düşürücü devre ve Yarım H-köprü sürücü devre kartı 52
Şekil 4.42 NLC kontrolü kullanılarak gerilim dalga biçimleri ve temel gerilimler 53
Şekil 4.43 Deneyde kullanılan ayarlı direnç..... 59
Şekil 4.44 Deneyde kullanılan indüktif filtre 59
Şekil 4.45 Deneyde kullanılan asenkron motor..... 60
Şekil 4.46 Asenkron motor primere yansıtılmış eşdeğer devresi 61
Şekil 4.47 Yüksüz durumda primere yansıtılmış eşdeğer devresi..... 61
Şekil 4.48 Kilitli durumda primere yansıtılmış eşdeğer devresi 62
Şekil 4.49 Deneyde kullanılan kapasitif filtre 64
Şekil 4.50 Önerilen topolojinin NLC kontrol ile anahtarlama açıları 65
Şekil 4.51 SPWM yönteminin blok şeması 66
Şekil 4.52 Seviye kaydırmalı SPWM taşıyıcıları 66
Şekil 4.53 Deneysel çalışmalarda kullanılan Genesys-II FPGA kartı..... 68
Şekil 4.54 Evirici çıkışı için H-köprü sinyalleri 69
Şekil 4.55 HFL çıkışı için H-köprü sinyalleri 70
Şekil 4.56 Düşürücü devre sinyali..... 71
Şekil 4.57 NLC'ye göre $S_0S_1S_2S_3$ sinyallerinin elde ediliş blokları..... 72
Şekil 4.58 SPWM'ye göre $S_0S_1S_2S_3$ sinyallerinin elde edilişi-1 73
Şekil 4.59 SPWM'ye göre $S_0S_1S_2S_3$ sinyallerinin elde edilişi-2 74
Şekil 4.60 Klasik eviricinin temel frekans sinyalleri..... 75

Şekil 5.1 Klasik evirici devresi Matlab/Simulink blok yapısı 77
Şekil 5.2 Klasik evirici (a) saf rezistif hat gerilimleri, (b) saf rezistif yük faz gerilimleri, (c) saf rezistif yük faz akımı, (d) saf rezistif yükte indüktif filtre kullanılarak elde edilen faz gerilimleri 78
Şekil 5.3 Önerilen 3-fazlı 31 seviyeli ÇSE topolojisi devresi blok yapısı 79
Şekil 5.4 Transformatör girişine 100V'luk kare sinyal uygulandığında 1 faz için çıkışında oluşan kare sinyaller 80
Şekil 5.5 Toplayıcı devreye uygulanan NLC kontrolcüye ait (a) anahtarlama sinyalleri, (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sinyalleri..... 81
Şekil 5.6 Toplayıcı devreye uygulanan SPWM kontrolcüye ait (a) anahtarlama sinyalleri (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sinyalleri..... 81
Şekil 5.7 Saf rezistif yükte evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü 82
Şekil 5.8 Saf rezistif yüke indüktif filtre etkisiyle oluşan evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü..... 82
Şekil 5.9 Önerilen ÇSE RL yükte faz gerilimleri kapasitif filtre (a) kullanılmadığında, (b) filtre kullanıldığında 83
Şekil 5.10 NLC kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında..... 84
Şekil 5.11 SPWM kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında..... 85
Şekil 5.12 Dönüştürücü diyot gerilimi, bobin akımı ve çıkış gerilimi; (a) 0.4 görev çarpanında (b) 0.4 görev çarpanında 85
Şekil 5.13 Önerilen ÇSE topolojisinin farklı genliklerdeki 31 seviyeli gerilimleri 86
Şekil 5.14 Sabit adımlı çıkış gerilimleri: 31-seviye, 25-seviye,15-seviye ve 9-seviye .. 87
Şekil 5.15 Klasik evirici deney düzeneği 88
Şekil 5.16 Klasik evirici (a) Saf rezistif hat gerilimleri, (b) Klasik evirici saf rezistif faz gerilim ve akımı, (c) Klasik evirici indüktif filtre ile faz gerilimleri 89
Şekil 5.17 Önerilen topolojinin deneysel çalışma düzeneği..... 90
Şekil 5.18 Toroid transformatör (a) Giriş gerilimi ve birinci çıkış gerilimi (b) Giriş gerilimi ve ikinci çıkış gerilimi (c) Giriş gerilimi ve üçüncü çıkış gerilimi91

Şekil 5.19 Toplayıcı devreye uygulanan NLC kontrolcüye ait (a) sürücüden oluşturulan anahtarlama sinyalleri (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sürücü sinyalleri 92
Şekil 5.20 Toplayıcı devreye uygulanan SPWM kontrolcüye ait (a) sürücüden oluşturulan anahtarlama sinyalleri (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sürücü sinyalleri 92
Şekil 5.21 Saf rezistif yükte evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü. 93
Şekil 5.22 Saf rezistif yüke indüktif filtre etkisiyle oluşan evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü 93
Şekil 5.23 Önerilen ÇSE RL yükte faz gerilimleri kapasitif filtre (a) kullanılmadığında, (b) filtre kullanıldığında 94
Şekil 5.24 NLC kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında 95
Şekil 5.25 SPWM kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında 95
Şekil 5.26 Dönüştürücü diyot gerilimi, bobin akımı; (a) 0.4 görev çarpanında (b) 0.4 görev çarpanında 96
Şekil 5.27 Değişken adımlı çıkış gerilimleri (a) %100 31-seviye, (b) %75 31-seviye, (c) %50 31-seviye, (d) %25 31-seviye 97
Şekil 5.28 Sabit adımlı çıkış gerilimleri (a) %100 31-seviye, (b) %75 25-seviye, (c) %50 15-seviye, (d) %25 9-seviye 98
Şekil 5.29 Önerilen ÇSE topolojisinin PLECS arayüzünde termal analizi ile kayıpların hesaplanması 100
Şekil 5.30 Önerilen ÇSE devresinde kullanılan güç bileşenlerinin harcadığı güçlerin dağılımı 100
Şekil 5.31 Farklı güç değerlerinde önerilen ÇSE'nin saf rezistif yük üstünde verimi . 101
Şekil 5.32 Farklı güç değerlerinde önerilen ÇSE'nin asenkron motor ile verimi 102
Şekil 5.33 Seviye sayısına karşı güç anahtarı sayılarının karşılaştırılması 104
Şekil 5.34 Seviye sayısına karşı ayrık diyot sayılarının karşılaştırılması 105
Şekil 5.35 Seviye sayısına karşı TSV karşılaştırılması 105
Şekil 5.36 Güç anahtarı sayısına karşı THB karşılaştırılması 106

SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış bazı simgeler ve kısaltmalar, açıklamalarıyla aşağıda sunulmuştur

Simgeler	**Açıklama**
A	Amper
dv/dt	Gerilim değişim oranı
cosφ	Güç faktörü
F	Farad
H	Henry
Hz	Hertz
hp	Horse Power
kHz	Kilo-Hertz
kV	Kilo-Volt
kW	Kilo-Watt
kWh	Kilo-Watt-Hour
mA	Mili-Amper
mH	Mili-Henry
µF	Mikro-Farad
µS	Mikrosaniye
V	Volt
Ω	Ohm

Kısaltmalar	**Açıklama**
AA	Alternatif Akım
AUX	Köprü Diyotlu Yardımcı Gerilim
ACHB	Asimetrik Kaskad H-köprü
BYS	Batarya Yönetim Sistemleri
C	Kapasitör
CF	Maliyet Fonksiyonu
CHB	Kaskad H-köprü

Kısaltmalar	Açıklama
ÇSE	Çok Seviyeli Evirici
D	Diyot
DA	Doğru Akım
DSP	Dijital Sinyal İşleme
EA	Elektrikli Araçlar
EMI	Elektromanyetik Girişim
FC	Yüzer Kapasitör
FPGA	Alanda Programlanabilir Kapı Dizileri
HDL	Donanım Tanımlama Dili
HFL	Yüksek Frekanslı Bağlantı
IGBT	Yalıtımlı Kapılı İki Kutuplu Transistör
IM	Asenkron Motor
L	Bobin
MOSFET	Metal Oksit Yarı İletken Alanda Etkili Transistör
NLC	En Yakın Seviye Kontrolü
NPC	Diyot Kenetlemeli
PMSM	Kalıcı Mıknatıslı Senkron Motor
PV	Fotovoltaik
PWM	Darbe Genişlik Modülasyonu
R	Direnç
RMS	Karelerinin Ortalamasının Karekökü
RPM	Dakikadaki Devir Sayısı
S	Anahtar
SiC	Silisyum Karbür
SPWM	Sinüzoidal Darbe Genişlik Modülasyonu
THB	Toplam Harmonik Bozulma
TSV	Toplam Bloklama Gerilimi
XFC	Aşırı Hızlı Şarj
XSG	Xilinx System Generator

EKLER DİZİNİ

Sayfa

Ek 1. Matlab Code blok kodları 119

1. GİRİŞ

Günümüzde çevresel etkilerin azaltılması ve enerji verimliliğinin artırılması amacıyla elektrikli araçlar (EA) giderek daha fazla tercih edilmektedir. EA'ların önemli bir bileşeni olan motorlar, aracın performansını ve enerji verimliliğini etkileyen kritik bir unsurdur. Bu bağlamda, EA'da kullanılan motorların tasarımı ve seçimi büyük bir öneme sahiptir. AA motorları, EA'da enerjiyi mümkün olduğunca verimli bir şekilde kullanması, yüksek verimlilik, yüksek güç yoğunluğuna sahip olmaları, daha küçük ve hafif motorlarla daha fazla güç sağlanabilmesi nedeniyle EA'nın performansını artırırken ağırlığını azaltması gibi birçok avantaj sunarlar.

AA motorları genellikle daha düşük maliyetli olduklarından EA'ların toplam maliyetin düşürülmesi açısından önemli bir avantaj sağlar. EA'larda hız kontrolü, farklı sürüş koşullarında farklı hızlara ihtiyaç duyulabilmesi nedeniyle kritik öneme sahiptir. AA motorları hızlarını kolayca kontrol edilebilme özelliğinde dolayı EA'da yaygın olarak tercih edilirler. AA motorları rejeneratif frenleme özelliği frenleme sırasında oluşan kinetik enerjinin elektrik enerjisine dönüştürülerek bataryalara geri gönderilebilmesi EA'ların menzilinin artmasını ve frenleme sırasında enerji kaybının azalmasını sağlar (Hashemnia ve Asaei, 2008). EA'larda ve sanayi uygulamalarında kullanılan AA motorlarını DA kaynaktan sürmek için evirici devreleri kullanılır.

Eviriciler DA gücü istenen çıkış frekansı ve geriliminde AA güce dönüştüren ve endüstride yaygın olarak kullanılan güç elektroniği devreleridir. Çıkış gerilim dalga formu girişte kullanılan DA kaynağı ile kontrollü ve kontrolsüz güç elemanlarının sayısına bağlı olarak değişmektedir. Çıkış gerilimi kademeli dalga formuna sahip olup seviye sayısına bağlı olarak gerilim sinyalinin Toplam Harmonik Bozunumu (THB) azalmakta, buna bağlı olarak verim artmaktadır.

Son zamanlarda üretilen EA'ların büyük çoğunluğu yüksek verimlilik ve düşük maliyet nedeniyle, yalıtımlı kapılı iki kutuplu transistör (IGBT) kullanılarak tasarlanan üç fazlı evirici kullanmaktadır. Batarya grubu bir eviricinin DA girişine doğrudan ya da kontrollü bir DA/DA güç dönüştürücü kullanarak bağlanabilir. Motora üç fazlı bir sinüzoidal çıkış akımı oluşturmak için motor sürücü devresinde altı anahtar kullanımı gerekir (Reimers vd., 2019). Bu evirici klasik evirici olarak adlandırılır. Klasik evirici, yüksek güç ve gerilim uygulamaları için ihtiyaç duyulan yüksek anahtarlama frekansında

anahtarlama kayıplarının artmasına neden olur. Bu eviriciler, yüksek THB, yüksek Elektromanyetik Girişim (EMI) ve yüksek gerilim değişim oranına (*dv/dt*) sahiptirler (Krishna ve Suresh, 2016). Yüksek güç ve yüksek gerilim uygulamaları için yüksek güç ve gerilimde çalışabilen güç elektroniği cihazlarının kullanımını gerektirmesi gibi önemli bir kısıtlamaya sahiptirler. Cihazlarda tatmin edici performans için artan güç seviyeleriyle gerilim seviyesi de artar. Klasik eviricinin dezavantajlarına ve yüksek gerilim gereksinimine yönelik bir çözüm, evirici yapılarını kademeli hale getirmektir (Hosseinzadeh vd., 2021). Bunun için Çok Seviyeli Eviriciler (ÇSE) geliştirilmiştir.

ÇSE topoloji konsepti, 1975'in başlarında üç seviyeli eviricilerle tanıtılmıştır. Temel olarak Diyot Kenetli ÇSE, Kapasitör Kenetli ÇSE (Uçan Kapasitörlü) ve Kaskad H-köprü ÇSE olmak üzere üç farklı türü vardır. Bu ÇSE'lerin klasik eviriciye göre azaltılmış THB, düşük *dv/dt*, azaltılmış anahtarlama kayıpları ve yüksek güç kalitesi gibi avantajları vardır. Ayrıca hem temel hem de yüksek anahtarlama frekanslı Darbe Genişlik Modülasyonunda (PWM) çalışarak saf sinüs dalga formuna daha yakın evirici çıkış gerilimi elde edilir (Koshti ve Rao, 2017). Uçan Kapasitör ve Diyot Kenetli ÇSE'ler dengesiz DA bara koşulları ve yüksek kapasiteli kapasitör gereksinimi nedeniyle önemli bir dezavantaja sahiptir. Bu dezavantajlar, Kaskad H-köprü ÇSE'nin kademeli bağlantıları kullanılarak giderilebilir, ancak yüksek seviyeler için çok sayıda anahtarlama elemanı gerektirmektedir. Bu nedenle araştırmacılar, geleneksel topolojilerin avantajlarını kullanarak daha kullanışlı hibrit topolojiler oluşturma çabasındadır (Ponraj vd., 2021).

Daha düşük güce sahip EA'larda tasarım ve uygulamadaki basitlikleri ve düşük DA bara gerilimine sahip oldukları için klasik eviriciler kullanılır. İstenen gücü elde etmek için 400V klasik eviricilerde yüksek akım elde etmek için genellikle birden fazla paralel anahtarlama elemanı kullanılır. Örnek olarak, Tesla Model 3 ve Model S, anahtarların her birine paralel olarak sırasıyla dört Silisyum Karbür (SiC) MOSFET ve altı IGBT kullanır (Poorfakhraei vd., 2021a). Yine aynı sebeple, Nissan'ın da iki seviyeli eviricide üç anahtarı paralel olarak kullandığı bilinmektedir.

Çıkış gerilimi en az 800V DA olan bir sistem aşırı hızlı şarj cihazlarının (XFC) kullanılmasına izin vererek şarj süresini kısaltır. Aynı güç için yüksek DA gerilim motor akımını ve daha yüksek verim sağlayabilir (De Santiago vd., 2012). Ayrıca, daha yüksek bir gerilimde çalışmak motor akımını azaltabilir. Daha ince bakır gerektiği için motorun

ve elektrik tesisatının ağırlığı önemli miktarda azalabilir. 650V anahtarlı geleneksel bir altı anahtarlı iki seviyeli evirici yüksek gerilimde kullanılamayacağı için yarı iletkenler veya evirici topolojisi değişmelidir. Bununla birlikte DA bara geriliminin artması *dv/dt* değerinin artmasına ve toplam verimliliği azaltan anahtarlama kayıplarının artmasına neden olur. Bu nedenle elektrikli araç motorları sürücüsü olarak ÇSE topolojilerini kullanmak bir çözüm olarak önerilir.

ÇSE topolojileri birden fazla yalıtılmış DA baraya ihtiyaç duyar. DA kaynakları, batarya paketlerinde yalıtılmış olarak tasarlanabilir. Ancak, batarya paketlerinin motoru beslemedeki payını doğru sağlamak için ek önlemler gereklidir. ÇSE kullanımıyla, yalıtılmış batarya modüllerinin gerilim dengelemesi dikkate alınması gereken önemli bir konudur. Bu sorun batarya hem şarj olurken hem de deşarj olurken ortaya çıkar. Batarya modülleri yalıtkan olduğundan dolayı, geleneksel BYS gerilim dengeleme ve eşit akım işlemini gerçekleştiremez. Bu nedenle, kullanılan ÇSE'ye özel güvenilir bir BYS'ye ihtiyaç duyulmaktadır. BYS'deki bu karmaşıklık kontrolü zorlaştırır ve maliyetini artırır.

Güç redresörleri, aktif güç filtreleri veya esnek AA iletim sistemleri gibi temel frekanslı çalışma uygulamalarında tek bir kaynak ile çoklu kaynak oluşturulabilir. Fakat bu çözüm temel frekansta ağır transformatör ve kapasitör sistemi gerektirir. Transformatörün çalışma frekansını 20-50kHz aralığında oluşturulup transformatör ve kapasitör hacmi düşürülerek EA'lar için uygun hale getirilir. Bu transformatörler giriş ve çıkışı galvanik olarak izole eder ve gerilim oranını sargı sayısıyla ayarlar. Bu özelliği ile Yüksek Frekanslı Bağlantı (HFL), daha yüksek gerilimli endüstriyel uygulamalar için aday olabilir (Ronanki ve Williamson, 2019a). HFL ile her gerilim kaynağının oluşturulması, bir köprü diyot ve bir kapasitör kullanımını gerektirir. İzole gerilim kaynaklarının oluşturulmasında kontrol gerektirmemesi kullanımını yaygınlaştırmıştır (Reimers vd., 2019). Ayrıca bütün gerilim baraları giriş geriliminin sarım sayısına göre bir katsayısı olduğu için giriş gerilimi ile evirici çıkış gerilimi doğru orantılı olarak değişir.

Bu tez çalışmasında, son zamanlarda yayınlanan topolojilere kıyasla halihazırda daha az anahtarlama elemanı kullanan toplayıcı diyot ÇSE topolojisi tek bir DA kaynağı ile gerçekleştirilmiştir. Ayrıca DA gerilim birimleri, anahtar, köprü diyot ve kapasitör sayısını azaltmak için ÇSE asimetrik olarak düzenlenmiştir. En Yakın Seviye Kontrol (NLC) yöntemi, düşük anahtarlama frekansı ile çıkış dalga biçimini oluşturmak için

kullanılır. Ayrıca çıktı formunun THB'sini en aza indirecek en küçük filtrenin etkisini göstermek için Sinüzoidal Darbe Genişlik Modülasyon (SPWM) yöntemi uygulanmıştır. HFL ve gerekli devrelerin fiziksel çıktıları alınarak NLC ve SPWM sinyalleri XSG üzerinden Genesys 2 FPGA Geliştirme kartı ile üretilmiştir.

İlerleyen bölümlerde yapılan çalışmalar sunulmuş, önerilen topoloji devresi ve çalışma prensibi açıklanmış, bu topolojiye ilişkin benzetim ve deneysel çalışmalardan elde edilen bulgular sunulmuş ve önerilen topolojinin avantajları verilmiştir.

2. KAYNAK BİLDİRİŞLERİ

ÇSE kavramı ilk olarak Nabae vd., tarafından üç seviyeli eviricinin tanıtılmasıyla başladı (Nabae vd., 1981). Ayrık DA kaynaklardan çok seviyeli gerilim üretebilen bir DA-AA dönüştürücü için ilk patent çalışmaları 1970'lerin başlarında Baker ve Bannister tarafından yayınlandı (Gupta vd., 2016). Seviye sayısının artmasıyla kademeli formdaki çıkış geriliminde adım sayısı artar, dolayısıyla daha düşük THB'ye sahip bir çıkış gerilimi üretir. Ayrıca, son derece düşük *dv/dt* oranında çıkış gerilimi üretmesi, düşük bozulmayla giriş akımı çekmesi, cihaz başına azaltılmış gerilim stresi ve güç kaybı içeren yarı iletken anahtarlar içermesi, yüksek güç kalitesi ve düşük EMI ÇSE'lerin diğer önemli avantajları arasındadır (Choudhury vd., 2014). Ancak yüksek seviyeler için eviriciye eklenmesi gereken güç bileşenlerinin sayısının artması kontrol karmaşıklığını arttırmakta ve gerilim dengesizliği problemini ortaya çıkarmaktadır.

Araştırmacılar tarafından ÇSE topoloji 3 ana kısımda incelenir: Diyot-Kenetlemeli (NPC) (Nabae vd., 1981), Kapasitör-Kenetlemeli (FC) (Hochgraf vd., 1994) ve ayrık DA kaynaklı Kaskad H-köprü (Hammond, 1997). Geleneksel ÇSE topolojileri, çıkışta istenen seviyeleri sentezlemek için genişletilebilir. Bununla birlikte, çok sayıda anahtar gerektirmek gibi önemli bir dezavantaja sahiptirler. NPC ve FC'nin dengesiz DA bara gerilimi ve anahtarlarda yüksek stres gibi başka sorunları vardır ve ayrıca FC yüksek hacimli kapasitörler içerir (Samadaei vd., 2019). Kaskad H-köprü topolojisi NPC ve FC topolojilere kıyasla bu sorunları taşımamakta fakat yüksek seviyeler için güç anahtarı gerektirir.

Son birkaç on yılda araştırmacılar avantajları ve dezavantajları açısından ilgili topolojilere yoğun şekilde odaklanmıştır. Bu yüzden, bu topolojiler günümüzde "geleneksel ÇSE topolojiler" olarak adlandırılmaktadırlar. Gelişen teknoloji ile uygulama odaklı gereksinimlerin artması ve geleneksel topolojilerin çok sayıda güç bileşeni gerektirmesi bu topolojilerin belirli uygulamalarda yetersiz kalmasına neden olmaktadır. Geleneksel topolojilerle ilgili problemlerden dolayı araştırmacılar yeni ÇSE topolojilerine yönelmiştir. Ancak yine de hiçbir topolojinin mutlak olarak avantajlı olduğu iddia edilemez. Bazı topolojiler, bazı uygulamalar için en avantajlı iken diğer başka uygulamalar için hiç uygun değildir (Omer ve Kumar, 2020). Bu yüzden, birçok araştırmacı geleneksel topolojilerin yanında uygulama odaklı topolojiler geliştirmeye

odaklanmıştır (Gupta vd., 2016). İlave olarak, önerilen topolojilerin geleneksel topolojilere kıyasla daha az sayıda güç bileşeni içermesine önem vermişlerdir.

Ebrahimi vd., yüksek güç kalitesi uygulamaları için farklı gerilim oranlarında tek ve çift yönlü anahtar kombinasyonları kullanan ve aynı sayıda seviye için güç kayıplarının azaltılmasını sağlayan Çok Düzeyli Modül tabanlı bir ÇSE topolojisi sunmuştur (Ebrahimi vd., 2012). Buticchi ve vd., fotovoltaik (PV) sistem için farklı DA bara gerilimlerine sahip tek fazlı, transformatörsüz olarak şebekeye bağlanan bir ÇSE topolojisi sunmuşlardır. (Buticchi vd., 2014),. Dönüştürücü verimliliğini artırmak ve ortak mod gerilimini, harmonikleri ve toprak kaçak akımını azaltmak için uygun bir anahtarlama yöntemi sunmuşlardır. Manjrekar ve Lipo, 500 hp'lik bir asenkron motor sürücüsü için kapasitör gerilim dengelemesi yapan hibrit bir ÇSE uygulaması sunmuş ve çıkış dalga formundaki harmonik analizini araştırmıştır (Manjrekar ve Lipo, 1998). Glinka ve Marquardt (Glinka ve Marquardt, 2005) ve Glinka (M. Glinka, 2004), Yüksek Gerilimli DA iletim sistemleri için modüler çok düzeyli dönüştürücü olarak adlandırılan tek DA kaynağa dayalı yeni bir ÇSE topolojisi sunmuşlardır.

Son birkaç yılda, özellikle güç anahtarları, kapı sürücü devreleri ve bağımsız DA kaynakların sayısını daha da azaltan birçok yeni topoloji ortaya çıkmıştır. EA gibi tek DA bara gerilimine sahip batarya grubu içeren uygulamalar için tek kaynaklı ÇSE topolojilerin önemi artmıştır. EA’lar daha yüksek menzillerde seyahat edilebilmesi ve özellikle de şarj sürelerinin kısaltılması amacıyla içerdikleri batarya grupları yüksek DA bara gerilimleri elde edilecek şekilde düzenlenmektedirler. XFC etkinleştirilmesi, elektrikli ulaşım araçlarında daha yüksek gerilimli bir DA barasına geçmenin faydalarından biridir. Ayrıca, daha yüksek gerilimli bataryaların kullanılması, belirli bir miktarda gücün aktarılması için gerekli kabloların boyutunun ve ağırlığının azaltılmasına izin verir (Tu vd., 2019). Yüksek gerilimde çalışmak motor akımını azaltır ve böylece daha yüksek verim sağlanabilir (De Santiago vd., 2012).

Yukarıda belirtilen avantajlar nedeniyle, son zamanlarda üreticiler arasında motor tahriklerinde daha yüksek DA bara gerilimine geçme eğilimi olmuştur. Ayrıca çıkış gerilimi en az 800V DA olan XFC cihazlarının kullanılması bu soruna olası bir çözümdür (Deepak Ronanki vd., 2019). XFC’nin etkinleştirilmesi, elektrikli ulaşım araçlarında daha yüksek gerilimli bir DA barasına geçmenin faydalarından biridir. Porsche, tamamen elektrikli otomobilini 2019 yılında üretmiş ve Porsche Taycan adını vermiştir. Bu araba

800V'ta maksimum 270kW güçle şarj edilebilmektedir. Araç içinde ve ayrıca şarj cihazında daha yüksek gerilimli DA sistemi kullanılmasıyla, 93kWh bataryayı %5'ten %80'e şarj etmek sadece 22.5 dakika sürmektedir (Porsche, 2020).

Porsche Taycan dışında Aston Martin Rapide E, Lucid Air, yüksek gerilim avantajlarından yararlanmak için 800V ve üzeri batarya kullanmışlardır. Ayrıca kamyonlar için 350kW şarj cihazlarıyla 800V batarya kullanılmıştır (Media, 2020). Diğer elektrikli ulaşım uygulamalarında da DA bara geriliminde artış eğilimi devam etmektedir. Örneğin, gelecekteki tamamen elektrikli uçaklarda, yüksek güçlü elektrik motorlarını beslemek için 3kV'a kadar DA gerilimleri kullanılması hedeflenmektedir. (Schefer vd., 2020). Ayrıca, elektrikli gemi sürücü sistemlerinde 15kV'a kadar DA bara gerilimlerinin kullanılması tavsiye edilmektedir (Ronanki ve Williamson, 2019).

Bahsedilen tüm faydalara rağmen, sürücü sisteminde daha yüksek gerilimli bir DA barası, yeni zorluklar ortaya çıkıyor. Akımın düşürülmesi, daha düşük iletim kaybıyla sonuçlansa da daha yüksek gerilim, aynı evirici teknolojisi kullanılıyorsa genellikle toplam verimliliği azaltan anahtarlama kayıplarını artırır (Bubert vd., 2018). 650V anahtarlı geleneksel bir altı anahtarlı iki seviyeli evirici, yüksek gerilim DA bara için kullanılamaz. Sonuç olarak ya yarı iletkenler ya da evirici topolojisi değişmelidir. Yüksek gerilimli yarı iletkenler, bileşenlerin maliyetinde ve anahtarlama kayıplarında artışa neden olur. Bu nedenle olası bir çözüm, elektrikli ulaşımda çok seviyeli evirici topolojilerini kullanmaktır. Daha hafif kablolar, daha düşük ağırlık ve kayıp, daha düşük üretim maliyeti, daha yüksek güç yoğunluğu, daha hızlı şarj ve daha verimli motorlar, daha yüksek DA bara geriliminin faydaları olarak bildirilmiştir (Poorfakhraei vd., 2021a).

Bakır, araçların içinde, şarj istasyonlarında ve altyapıda gerekli olduğu için elektrikli ulaşım endüstrisindeki en önemli malzemelerden biridir. Elektrikli bir aracın, otobüsün veya trenin içinde bakır çoğunlukla kablolarda, elektrik motorlarında ve bataryada kullanılır. Ortalama bir EA'da, tipik bir EA'nın toplam ağırlığının yaklaşık %4'üne eşit olan yaklaşık 80 kg bakır kullanır (LePan, 2019).

Bir EA üzerindeki bakır ağırlığında önemli bir faktör, DA bara gerilimidir. Porsche, batarya gerilimini iki katına çıkarması nedeniyle elektrik tesisatından 30kg azalttığını belirtmiştir (VanderWerp, 2019). EA'larda elektrik motorlarının güç/hacim oranına vurgu yapılır. Yüksek gerilimli motorlar daha küçük,

daha hızlı ve daha verimli olduğundan, motorun anma gerilimini artırarak güç yoğunluğu iyileştirilebilir (Wand, 2016).

Süper kapasitör ve elektrolitik kapasitörlerin Kaskad H-köprü (CHB) ÇSE'deki batarya modüllerine paralel yerleştirilmesinin etkisi simüle edilmiş ve doğrulanmıştır (Kersten vd., 2019). Farklı sürüş döngülerinde batarya omik kaybının %40'a kadar azaltılabileceği gösterilmiştir. Eklenen enerji depolama bileşenlerinin aktarma organlarının ağırlığını ve maliyetini artırdığından da bahsediliyor. Bununla birlikte, daha düşük kayıplar nedeniyle batarya ömrünün uzatılmasının ekonomik faydalarını dikkate almak için daha kapsamlı bir çalışmaya da ihtiyaç vardır.

Maliyet ve ağırlığın yanı sıra, kontrol sisteminin karmaşıklığını artırdıkları için artan sayıda yüzen kapasitörlerde işleri zorlaştırmaktadır. Bu kapasitörlerin gerilim dengelemesi, çok sayıda izole edilmiş gerilim sensörü ve karmaşık kontrol gerektirir (Abushafa vd., 2018). Ek olarak, cihazlarda eşit gerilim paylaşımını sağlamak için evirici çalışmasından önce yüzer kapasitörlerin şarj edilmesi gerekir. Kapasitörlerin düşük güvenilirliği, eviricinin toplam güvenilirliğini de azaltır.

Pereda ve Dixon, CHB ve Asimetrik CHB (ACHB) eviriciler için dengelenmesi gerekli olan çok sayıda çift yönlü ve izole DA kaynağı kullanılması, gerilim genliği ile güç kalitesinin düşük olması gibi dezavantajlarının iyileştirilmesi için ACHB eviricilerde yalnızca tek bir DA kaynak ile HFL kullanarak çözüm önermişlerdir. Önerilen bu çözüm H-köprü başına izole bir kaynak yerine tek bir DA kaynak kullanılarak H-köprüler arasında otomatik gerilim dengesi sağlaması, tüm çalışma aralıklarında THB'nin çok düşük ve sabit olması ve basit bir rejeneratif işlem avantajları sunmaktadır. Ayrıca tek bir DA kaynağı kullanılarak aktif yarı iletkenlerin ve transformatörlerin de azaltılması sağlanmıştır. HFL kullanılarak ana H-köprü ve yardımcı H-köprüleri besleyen tek bir DA kaynağı ile 27 seviyeli ACHB topolojisi elde etmişlerdir. Deneysel çalışmalar sonucunda elde edilen topoloji üzerinde farklı gerilim sevilerinde THB'nin sabit ve %3'te olduğu gözlemlenmiştir (Pereda ve Dixon, 2011).

Rocha vd, makalede çok çıkışlı yüksek frekanslı transformatör kullanılarak seri ve paralel bağlanmış dört adet H-köprüden oluşan tek fazlı ÇSE'yi incelemişlerdir. Çalışmada güç rejenerasyonunun azaltılması için sistem modeli, PWM stratejileri ve bir kontrol stratejisi sunulmuştur. Dört adet H-köprünün seri ve paralel bağlanması sayesinde yarı iletken cihazlarda gerilim ve akımın azaltılması, çıkışta çok seviyeli gerilimler ve

daha fazla hataya dayanıklı sistemler gibi önemli avantajlar sağlanmıştır. Bu çalışmada önerilen evirici topolojisi, farklı DA bara gerilimleri için analiz edilmiştir. Benzetim ve deneysel çalışmalar ile önerilen sistemin hangi çalışma bölgesinin uygun olduğu farklı güç seviyelerde elde edilen sonuçlar sunulmuştur. (Rocha vd., 2021)

Haq vd., 3 fazlı 5 seviyeli ÇSE tabanlı şebekeye bağlı güneş PV sistemi için gelişmiş bir anahtarlama kontrol tekniği önermişlerdir. Önerdikleri bu modülasyon tekniği düşük çıkış gerilimi THB, düşük enjeksiyonlu şebeke akımı THB, düşük evirici güç kaybı ve yüksek DA bara gerilimi kullanımı gibi temel özelliklerine sahiptir. Ayrıca bu teknik dinamik yük değişimi, arıza, modülasyon indeks değişimi ve gerilim düşmesi/yükselmesi açısından da başarılı sonuçlar görülmüştür. Hem benzetim hem de deneysel çalışmalar sonucunda önerilen tekniğin mevcut tekniklere kıyasla eviricinin daha düşük anahtarlama ve iletim güç kayıplar sağlandığı gözlemlenmiştir. (Haq vd., 2021)

Lee vd., ön uç HFL dönüştürücülere sahip tek kaynaklı bir hibrit ikili kademeli ÇSE çalışması sunmuşlardır. Ayrıca geleneksel ikili kademeli ÇSE ile karşılaştırarak sistem boyutu ve maliyeti, 15 seviyeli çıkış, yüksek gerilim kazancı, galvanik izolasyon ve reaktif güç kapasitesi gibi özellikler değişmeden kalırken önemli ölçüde azaltılabildiğini de gözlemlemişlerdir. Çalışmada kullanılan HFL dönüştürücüler, bir DA kaynak gerilimini ikili oranda üç bara gerilimine yükseltilmesi için kullanılmıştır. Çalışmadaki bu dönüştürücülerden biri sistemden kaldırıldıktan sonra bu kaldırmadan kaynaklanan kayan kapasitör gerilimin kontrolü için değişken FCV kontrolü önerilmiştir. Önerilen FCV kontrolüne sahip hibrit ikili kademeli ÇSE, gerilim kazancı, izolasyon kapasitesi, reaktif besleme ve basit kontrol sisteminin önemli avantajlarını gösterilmiştir. Deneysel çalışmalarda hazırladıkları 1kW'lık bir ikili kademeli ÇSE prototipi üzerinde geniş aralıklı yük seviyeleri ve güç faktörleri için deneyler yapılarak önerdikleri sistemi ve FCV kontrolü doğrulamışlardır. (Lee vd., 2021)

Junior vd., HFL kullanılarak tek bir DA güç kaynağı ile beslenen asimetrik 49 seviyeli Basamaklı Modifiyeli Paketlenmiş U-Hücreler ÇSE topolojisini sunmuşlardır. Bu topoloji birbirine bağlı iki Modifiyeli Paketlenmiş U-Hücrelerden oluşmaktadır. Buna ek olarak 12 anahtarlama elemanı ve dört DA bara kullanılmıştır. Topolojinin tek DA kaynağı ile çalıştırılması için ana DA barası doğrudan kaynağa bağlanırken diğer küçük üç DA barası HFL ile sağlanmıştır. HFL için dört güç anahtarı, üç diyot doğrultucu

köprüsü ve yüksek frekanslı toroid transformatör kullanılmıştır. Oluşturdukları ÇSE topolojisinin uygulanabilirliğini deneysel çalışmalar ile sunmuşlardır. Deneysel çalışmalar sonucunda aynı sayıda anahtarlama eleman sayısına sahip muadilleriyle karşılaştırıldığında sundukları topolojinin daha yüksek sayıda gerilim seviyesi ürettiğini ve aynı zamanda en yüksek gerilim yükseltme etkisine sahip olduğu gözlemlemişlerdir (Junior vd., 2022).

Hataş ve Almalı, çalışmalarında tek bir DA kaynak ile toplayıcı diyot tekniği kullanılarak 31 seviyeli topoloji önermişlerdir. Tek bir DA kaynağından giriş gerilimlerinin elde edilmesi için hem ucuz hem de küçük olan HFL kullanılmıştır. Önerdikleri topolojinin çıkış dalga biçimin referans sinyaline simüle edilmesi için NLC ve SPWM yöntemlerini uygulanmıştır. Önerilen topoloji hem deneysel hem de benzetim ortamında dirençli bir yük ve filtre üzerinde önerilen topoloji gerçeklenmiştir. Ayrıca deneysel çalışmada FPGA ile sinyaller üretilerek önerilen 31 seviyeli topolojinin çıkış dalga formunun THB değeri filtresiz olarak %2.7 olduğu gözlemlenmiştir (Hataş ve Almali, 2023a).

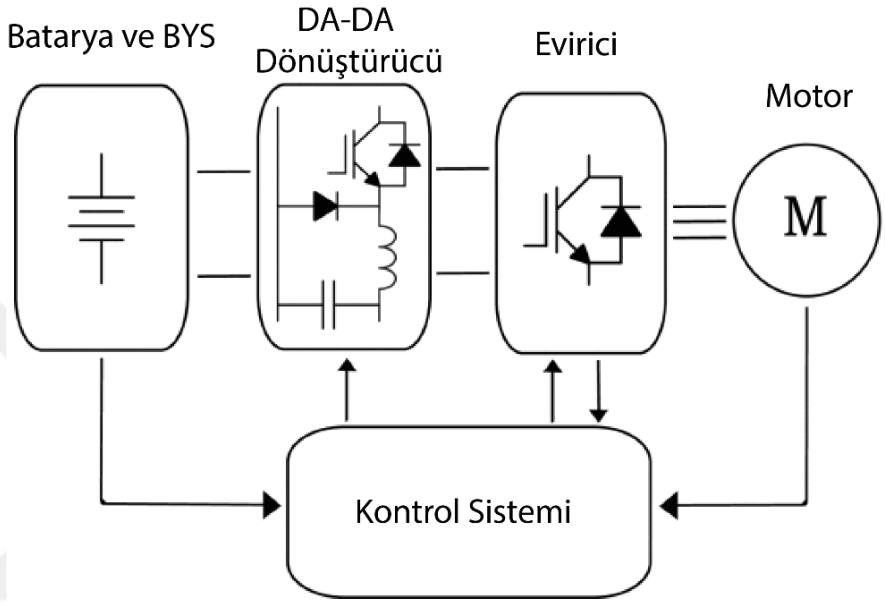
Hataş ve Almalı, diğer çalışmalarında tek bir DA kaynak ile toplayıcı diyot tekniği kullanılarak 35 seviyeli topoloji önermişlerdir. DA bara gerilimlerinin elde edilmesi için HFL kullanılmıştır. HFL'den DA bara gerilimi oluştururken anahtarlamalı doğrultucu kullanarak gerilimi tam ve yarım olarak elde edebilen bir topoloji önermişlerdir. Önerdikleri topolojide kontrol yöntemi NLC ve SPWM yöntemlerini uygulanmıştır. Önerilen topoloji hem deneysel hem de benzetim ortamında dirençli bir yük ve filtre üzerinde önerilen topoloji gerçeklenmiştir. Ayrıca deneysel çalışmada FPGA ile sinyaller üretilerek önerilen 35 seviyeli topolojinin çıkış dalga formunun THB değeri filtresiz olarak %2.5 olduğu gözlemlenmiştir (Hatas ve Almali, 2023b).

Mondol vd., makalelerinde anahtarlama eleman sayısı, anahtarlama elemanlarındaki Toplam Durma Gerilimi (TSV) ve toplam kayıplar açısından optimize edilecek yeni bir ÇSE topolojisi tasarlamayı amaçlamışlardır. Çalışmada önerdikleri ÇSE topolojisi, ayrı ayrı bir DA gerilim kaynağı ve bir yarı iletken anahtarlama elemanından oluşan birkaç temel blok şeklinde geliştirilmiştir. Topolojideki tüm dengeli DA kaynaklar için yüksek frekanslı manyetik bağlantı kullanılmıştır. Sırasıyla 3.5kVA ve 100kVA oranlı tek fazlı ve üç fazlı beş seviyeli (5L) evirici simüle edilirken, anahtarlama stratejisinin gösterilmesi için beş seviyeli tek fazlı evirici ve farklı çalışma modları

uygulamışlardır. Önerilen eviricinin yapısı, sistemin TSV'nin optimize edilmiş değerini (5L tek fazlı bacak ile TSV=5,5V_{DA}) sağlar. Ayrıca önerilen bu evirici, 5L'lik tek fazlı bacak için %94,84'lük enerji dönüştürme verimliliği sunmaktadır. Bu durum önemli ölçüde iyileştirilir ve aynı zamanda tüm sistemin ekipman derecelendirmelerini ve toplam maliyetlerini en aza indiğini göstermektedir (Mondol vd., 2022).

3. EA SÜRÜCÜ SİSTEMİNE GENEL BAKIŞ

EA sürücü sistemi, bataryanın araç motoruna güç aktarımını yöneterek aracın hareketinin sürücü tarafından kontrol edilmesini sağlar. Bir EA sisteminin genel blok diyagramı, Şekil 3.1'de gösterilmektedir.



Şekil 3.1 Bir EA çekiş sisteminin genel yapısı

Şekil 3.1'de gösterildiği gibi EA yapısının ana parçaları batarya ve batarya hücre gerilimlerini dengeleyen BYS, DA-DA dönüştürücü, evirici ve elektrik motorudur. Bazı topolojilerde ortadan kaldırılabilen DA-DA dönüştürücü dışında, diğer parçalar batarya ile çalışan tüm elektrikli taşımacılıkta gereklidir.

3.1 Batarya ve BYS

BYS, batarya hücrelerinin gerilimlerini kontrol eder ve dengeler. Elektrikli araçlarda batarya gerilimi, güvenlik, uyumlu altyapı, verimlilik ve maliyet gibi faktörler göz önünde bulundurularak genellikle 400V gibi belirli bir seviyeyle sınırlandırılmıştı. Bu sınırlama, insan güvenliğini sağlamak, mevcut şarj altyapısına uyumlu olmak, enerji verimliliğini artırmak ve maliyetleri kontrol altında tutmak amacıyla yapılmıştır. Bu

nedenle hâlâ Tesla, Nissan, Chevrolet ve Audi tarafından üretilen EA'larda 400V batarya kullanıyor. Fakat son zamanlarda, bazı üreticiler şarj süresini kısaltmak, iletim kaybının azaltmak ve hareket sisteminin güç yoğunluğunun artırmak için dolayı daha yüksek batarya gerilimine yönelmişlerdir. Porsche, Hyundai, Kia, Aston Martin ve Fisker yeni ürünleri için 800V batarya kullanan üreticilerdir. Ayrıca, Lucid Air EA modeli için 900V batarya kullanılmıştır. Daha yüksek EA batarya kullanımı, serideki hücre sayısı artırır. Bu nedenle BYS tasarımlarının serideki daha fazla sayıda hücreyi kontrol etmesi için yeniden tasarlanmalıdır (Poorfakhraei vd., 2021b).

3.2 DA-DA Dönüştürücü

EA'larda batarya takımı ya doğrudan eviricinin DA girişine bağlanabilir ya da batarya gerilimini yükseltmek ve eviriciyi kontrollü bir DA ile beslemek için bir DA/DA dönüştürücü kullanılabilir. Klasik eviricilerde yükselten DA/DA dönüştürücü kullanılırken ÇSE'lerde topolojiye göre yükselten veya düşüren DA/DA dönüştürücü eklenebilir. Her iki devrede de büyük bir DA bağlantı kapasitörü aktif cihazların anahtarlama hareketi tarafından üretilen dalgalanma akımını ve gerilimi yumuşatır. DA bağlantı kapasitörü, hem giriş kaynağını hem de güç cihazlarını yüksek akım ve gerilim yükselmelerinden koruduğu için eviricinin çok önemli bir bileşenidir. Bu nedenle, akım ve gerilim dalgalanma gereksinimlerine uygun hesaplanan kapasitör seçilmelidir. Ayrıca DA bağlantı kapasitörü neredeyse sabit bir DA hat gerilimi sağladığı için yüksek frekanslı akım harmoniklerini azaltır (Leon vd., 2017).

Gerilim kaynaklı eviriciler, son on yıllarda yoğun bir şekilde çalışılması ve endüstride yaygın olarak kullanılması bu topolojiyi olgun, sağlam ve güvenilir kılmaktadır. DA dönüştürücü genellikle çift yönlü olacak ve rejeneratif frenleme sırasında bataryaya enerji geri döndürebilecek şekilde iki anahtarlama cihazı ile uygulanır. Dönüştürücü kullanılmayan mimariler tek aşamalı dönüşümü sayesinde ucuz ve üretimi kolaydır. Ayrıca anahtarlama cihazlarının kontrolü daha basittir (Reimers vd., 2019).

Elektrolitik kapasitörlerle karşılaştırıldığında, film kapasitörler, yüksek akım dalgalanma kapasitesinin bir sorun olduğu ve yüksek kapasitansın daha az önemli olduğu

evirici uygulamaları için birçok fayda göstermiştir. Film kapasitörlerle daha yoğun, verimli ve düşük maliyetli bir tasarım elde edilebilir (Wen vd., 2012).

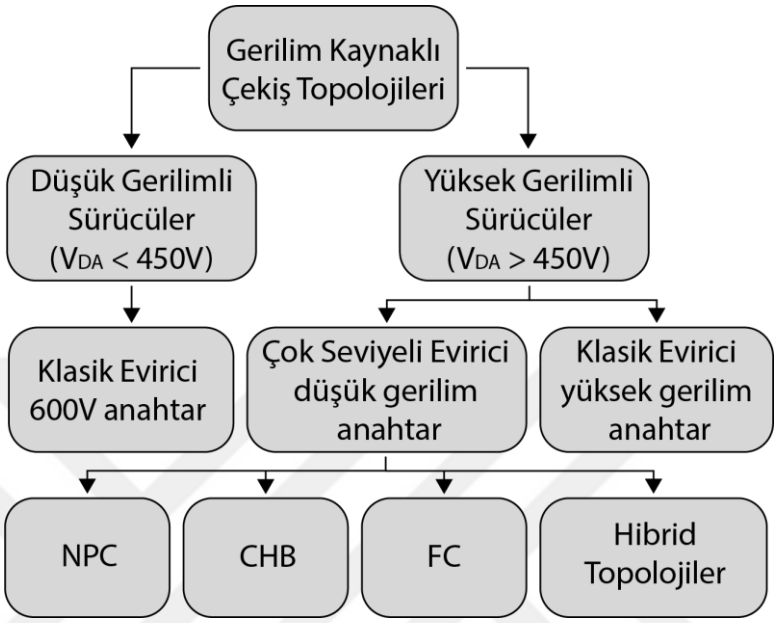
3.3 Evirici

Bugün EA'larda tercih edilen elektrik motorları yaygın olarak AA kalıcı mıknatıslı motor (PMSM) veya IM tipidir (Bilgin vd., 2015). Bu motorları sürmek için, batarya paketinden gelen doğru akımı değişken frekanslı alternatif akıma dönüştürmek için bir evirici gerekir. Motor moduna ek olarak, makineler aynı zamanda jeneratör olarak da çalışabilir, bu da eviricinin doğrultucu olarak hareket etmesini ve bataryaya enerji döndürmesini gerektirir. Piyasadaki EA topolojilerinde klasik evirici kullanılmaktadır. Bu eviricilerde fiyatları ve bulunabilirlikleri nedeniyle EA'nın güç aralığında en popüler anahtarlama cihazı IGBT modülleri veya paralel tekli IGBT'ler olmuştur (J. Reimers vd., 2019). Örneğin Tesla Model S'in batarya gerilimi 400V olduğu için yüksek akımı karşılamak amacıyla eviricide anahtar başına 6 paralel TO-247 kılıflı IGBT kullanılmıştır.

Son zamanlarda EA'ların şarj süresini kısaltmak için batarya gerilimini arttırma yönelimi olmuştur. Batarya geriliminin arttırılması iletim kayıplarını azaltır ve güç yoğunluğunu artırır. Ayrıca yüksek gerilim kablo kesitlerini azaltarak maliyet ve ağırlığın azalmasını sağlar. Ancak yüksek gerilim anahtarlama yapılarının değişimini gerektirir. Evirici tarafında, daha yüksek gerilimlere dayanabilmesi için cihazların veya yapının değiştirilmesi gerekir. Buna ek olarak, klasik evirici daha yüksek dv/dt, daha yüksek EMI üreterek motora zarar verebilir. Kayıp açısından bakıldığında, klasik eviricideki yüksek frekansta artan anahtarlama kaybı toplam evirici verimliliği azalır (Reimers vd., 2019).

EA'larda 800V ve 900V bara gerilimi kullanması anahtar üreticilerini de daha yüksek gerilimde çalışan anahtarlar üretmeye teşvik etmiştir. Bazı evirici üreticileri 1200V ve 1700V gerilime dayanan IGBT'ler ve SiC MOSFET'ler kullanmışlardır. Düşük gerilimli anahtarlar ile yüksek gerilimli eviricilere ulaşma, düşük çıkış akımı bozulması, dv/dt azaltma, anahtarlama kayıplarını azaltma ve verimliliği artırma nedeniyle motor çekiş uygulamaları için ÇSE kullanımı bir çözüm olmuştur (Kabalcı ve Boyar, 2021). Motor sürme uygulamaları için literatürde farklı ÇSE topolojileri önerilmiştir. Günümüzde yüksek gerilimli, yüksek güçlü elektrikli gemi ve elektrikli tren

uygulamalarında ÇSE yapılarının kullanıldığı görülmektedir (Ronanki ve Williamson, 2018). Gerilim kaynaklı eviriciler için uygulanabilir topolojilerin bir sınıflandırması, Şekil 3.2'de gösterilmektedir.



Şekil 3.2 Gerilim kaynaklı çekiş topolojilerin sınıflandırılması

Şekil 3.2’de görüldüğü gibi klasik eviriciler hem 450V altı hem de 450V üstü uygulamalarda kullanılmaktadır. EA'ların aksine, yüksek güçlü çekiş uygulamaları, yüksek gerilimli DA bağlantıları nedeniyle çok seviyeli eviricilerden yararlanmıştır. ABB, Siemens ve General Electric, 15 kV'a kadar DA hat gerilimleri ile gemi sevk sistemi için endüstriyel ÇSE uygulamıştır (Kumar vd., 2019).

3.4 Elektrik Motorları

Elektrik motor seçiminde yüksek güç yoğunluğu, yüksek verim ve düşük maliyet en önemli kriterlerdir. EA uygulamaları için önceleri IM önde gelen bir seçimdi. Fakat günümüzde, neredeyse tüm hafif hizmet EA üreticileri PMSM’ler kullanılmaya başlanmıştır (Jayal ve Bhuvaneswari, 2021). Elektrikli bisikletler, motosikletler ve scooterlarda fırçasız DA motorları yaygın olarak tercih edilmektedir. Birçok ağır hizmet ve demiryolu aracı IM kullanmaya devam etmekle beraber daha yüksek güç yoğunlukları ve verimlilikleri PMSM’lerin kullanımını öne çıkarmaktadır. IM’ler ve PMSM’lerin

dışında, anahtarlamalı relüktans motorları (SRM'ler) gelecekteki araçlar için potansiyel bir seçenek olarak değerlendirilmektedir (Xiao vd., 2022). Tesla Model 3, PMSM'ler ile SRM kullanıyor. Çizelge 3.1'de piyasadaki bazı iyi bilinen EA'lardaki motor tipi gösterilmektedir.

Çizelge 3.1 Bazı iyi bilinen yolcu EA'larının motor tipine göre sınıflandırılması

Motor Tipi	EA modeli
Tesla Model S	IM
Tesla Model X	IM
Chevrolet Bolt	PMSM
Toyota Prius	PMSM
Nissan Leaf	PMSM
BWM i3	PMSM
Porsche Taycan	PMSM
Hyundai Kona	PMSM
Tesla Model 3	SRM

Çizelge 3.1'den de anlaşılacağı üzere PMSM'ler EA'larda baskın olarak kullanılmaktadır. IM'ler daha ucuz, daha güvenilir ve üzerinde daha çok çalışılmasına rağmen yüksek güç yoğunluğu ve verimliliğin önemi nedeniyle IM'lerin yerini PMSM'ler alır.

3.5 Kontrol Sistemi

EA'larda kontrol sistemi istenilen referanslara göre evirici anahtarları için gerekli sinyalleri oluşturur. Kullanılan her bir motor tipi için akımın farklı dinamik denklemleri nedeniyle, kontrol parametreleri ve denklemler farklılık gösterir. EA'larda kontrol tekniği Skaler kontrol, doğrudan tork kontrolü veya alan oryantasyonlu kontrol olmak üzere 3 ana başlıkta incelenir. Skaler kontrol yöntemi maliyetsizdir ve geribildirim gerektirmez (Reimers vd., 2019). Bu kontrol yönteminin dezavantajları ise, dinamik cevabının zayıf olması, hassas olmaması, tork dengesizliğidir. Alan oryantasyonlu kontrol tekniğinde anahtarlama frekansı sabittir ve dinamik cevap yüksektir. Ayrıca akım ve tork dengesizliği daha azdır. Sıfır hızda maksimum tork sağlar. Bu kontrol yönteminin

dezavantajları ise maliyetinin yüksek olması, sensör ile geri bildirim gerektirmesidir. Doğrudan tork kontrol yönteminde çok daha yüksek dinamik cevap vardır ve yapısı oldukça basittir. (Poorfakhraei vd., 2021a) Basit yapısı nedeniyle anahtarlama zaman hesabı kısadır. Bu kontrolcünün dezavantajları ise anahtarlama frekansının sabit olmaması, düşük hızlarda kontrol zorluğu, yüksek kalkış akımıdır. Ayrıca alan oryantasyonlu kontrole göre tork ve akım dalgalanmaları daha yüksektir (Abouzeid vd., 2020).

Motor kontrol yazılımını uygulamak için, tipik olarak evirici içindeki özel bir kontrol kartında bir mikro denetleyici veya DSP bulunur. Motor kontrol ve modülasyon şemalarının hesaplama gereklilikleri göz önüne alındığında, 100 MHz'in üzerinde saat hızına sahip 32-bit kayan noktalı işlemcilerin kullanılması önerilmektedir. Kontrol algoritmalarının karmaşıklığı artmaya devam ettikçe ve anahtarlama hızları yükseldikçe, zamanlama doğruluğunu iyileştirmek ve DSP'yi azaltmak için DSP motor kontrolünü ele alırken modülasyonu uygulamak için sahada programlanabilir kapı dizisi (FPGA) donanımının kullanılması daha uygun bir çözüm olur (Lakka vd., 2014).

3.6 EA Gelecek Eğilimleri

Bu çalışmada daha önce bahsedildiği gibi, Tesla, Toyota, Nissan ve Chevrolet dahil olmak üzere mevcut hafif hizmet yolcu EA üreticileri, çekiş sistemlerinde klasik evirici kullandılar. Daha yüksek batarya gerilimlerinde bile, endüstri tarafından klasik evirici yapıları için daha yüksek gerilimli yarı iletkenler kullanılmaktadır. Bununla birlikte, ağır hizmet tipi yüksek güçlü çekiş uygulamalarında ÇSE’ler kullanılmaktadır. ABB, İsviçre Federal Demiryolları, İsveç Devlet Demiryolları ve Deutsche Bahn'daki yüksek gerilimli elektrikli trenler için beş seviyeli eviriciler üretti. Ayrıca elektrikli gemi endüstrisi için maksimum 15 kV gerilim ile ÇSE’ler kullanılmaktadır (Poorfakhraei vd., 2021b). Çizelge 3.2, günümüz çekiş uygulamaları için pazar durumunu özetlemektedir.

Çizelge 3.2 Piyasadaki mevcut çekiş evirici topolojileri

Uygulama	Maksimum Gerilim	Piyasadaki Güncel Topoloji
Elektrik Gemileri	15kV	Klasik evirici veya ÇSE
Elektrik Trenleri	3kV	Klasik veya 5-seviyeli evirici
EA'lar	900V	Klasik evirici

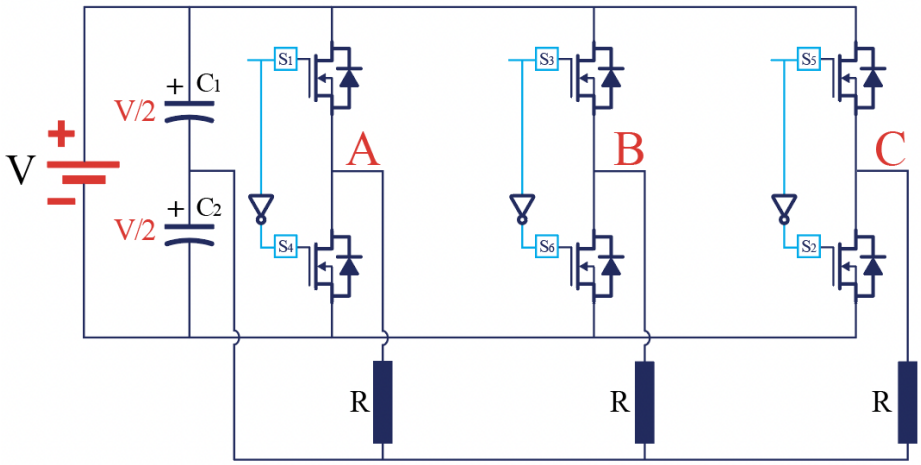
Çizelge 3.2'de gösterildiği gibi yüksek gerilimlerde elektrikli gemi ile elektrikli trenlerde ÇSE'lerin ve klasik eviricilerin kullanımı ve EA'larda da klasik eviricilerin kullanımı söz konusudur. EA'lardaki DA gerilim seviyesinin tanınmış üreticiler tarafından son zamanlarda 800V'a yükseltilmesiyle elde edilen avantajlar EA üreticilerini daha yüksek gerilimlere yönlendirmektedir. Ayrıca, standartlar daha da yüksek gerilimlere izin vermektedir. CHAdeMO ve Çin Elektrik Konseyi 1500V, 600A, 900kW şarj standardını geliştirmiştir (Poorfakhraei vd., 2021b). Sonuç olarak, EA'ların batarya gerilimleri daha yüksek olabilir, bu da daha yüksek verimlilikleri, daha yüksek güç kaliteleri ve daha düşük EMI'leri nedeniyle ÇSE'lerin kullanımını arttırabilir.

4. MATERYAL VE YÖNTEM

Bu bölümde tez kapsamında kullanılan devreler, kontrol yöntemleri ve önerilen ÇSE çıkışında kullanılan yükler detaylı olarak aktarılmıştır. Kullanılan devre birimlerinin çalışma modları incelenmiş ve FPGA kullanımı geniş bir şekilde anlatılmıştır. Ayrıca HFL biriminde kullanılan toroid transformatörün sarım hesabı ve DA gerilim baralarından aktarılan güçler hesaplanmıştır.

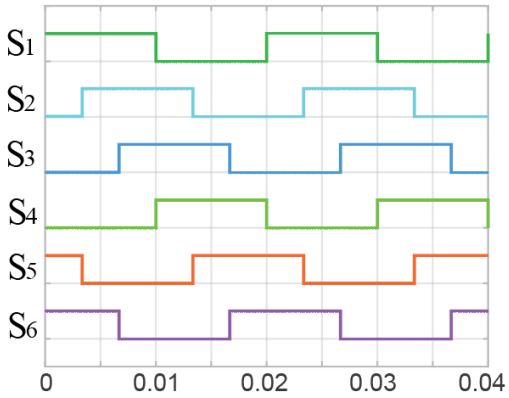
4.1 Klasik Evirici

Üç fazlı eviriciler DA gücünü AA'ya dönüştüren elektronik devrelerdir. Bu eviriciler genellikle endüstriyel uygulamalarda, güneş enerjisi sistemlerinde, EA'larda ve diğer birçok alanda kullanılır. Bu eviriciler genel olarak her bir anahtarın iletim süresine bağlı olarak 180° iletim modu ve 120° iletim modu olmak üzere iki tiptedir. Bu tez kapsamında daha çok kullanılan 180° iletim modu incelenecektir. Üç fazlı klasik evirici bağlantısı Şekil 4.1'deki gibi yapılır.



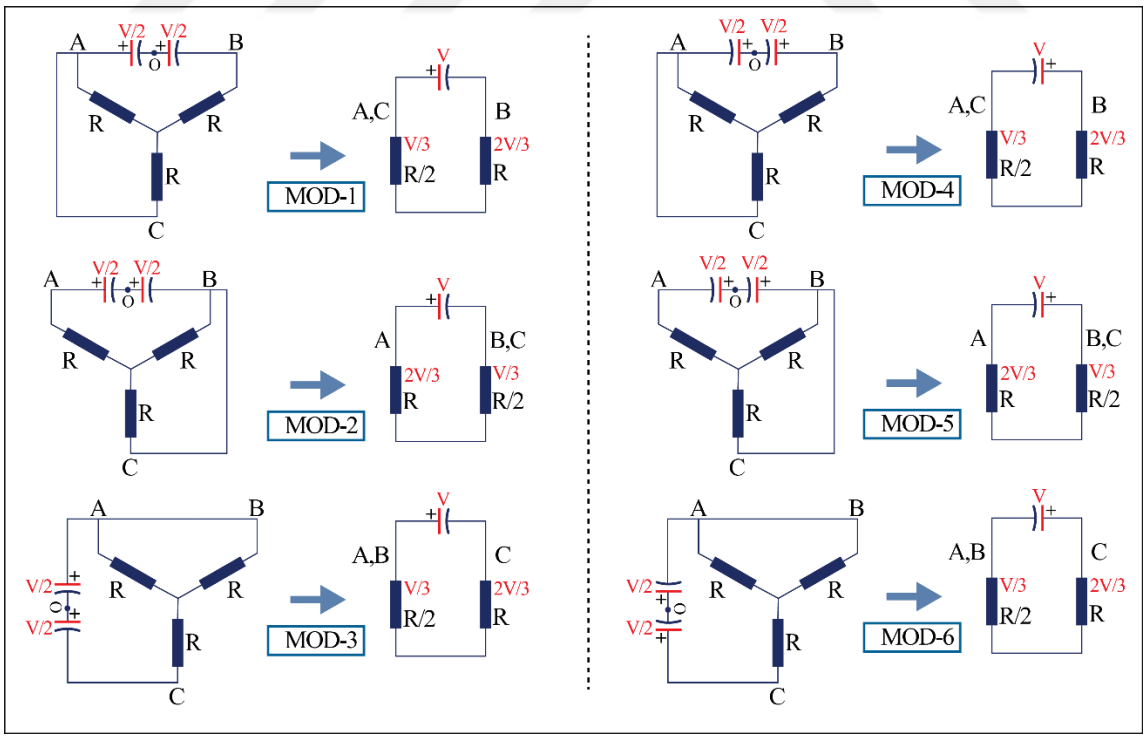
Şekil 4.1 Klasik evirici bağlantısı

Üst anahtarlar (S1, S3, S5) kapatıldığında yük (R) +V barasına bağlanır. N, giriş geriliminin orta noktasına bağlı olduğundan, yükte +V görünür. Benzer şekilde alt anahtarlar (S2, S4, S6) kapatıldığında yük -V gerilim alır. Kapı sinyalleri Şekil 4.2'de gösterilmiştir.



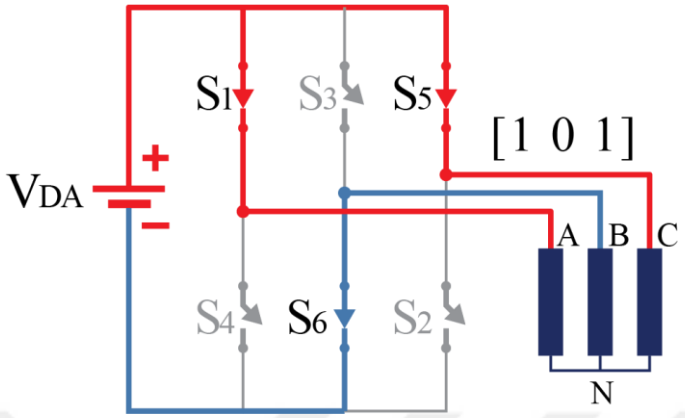
Şekil 4.2 Klasik evirici anahtarlama sinyalleri

Şekil 4.2'de gösterildiği gibi bu sinyaller sıralı olarak 60º kaydırılır ve bu aynı zamanda anahtarların iletim periyodunu da gösterir ve her fazın çıkış gerilimi buna göre yükte görünür. Aynı bacağın her iki anahtarının aynı anda açılmaması sağlanmalıdır, aksi takdirde giriş DA kaynağında kısa devreye neden olur. Bir tam döngü altı moda ayrılır ve aynı anda üç anahtar (her bacaktan bir tane) iletir. Bir tam döngü altı moda bölünmüştür ve bu modlar Şekil 4.3'te gösterilmiştir.



Şekil 4.3 Klasik evirici modları

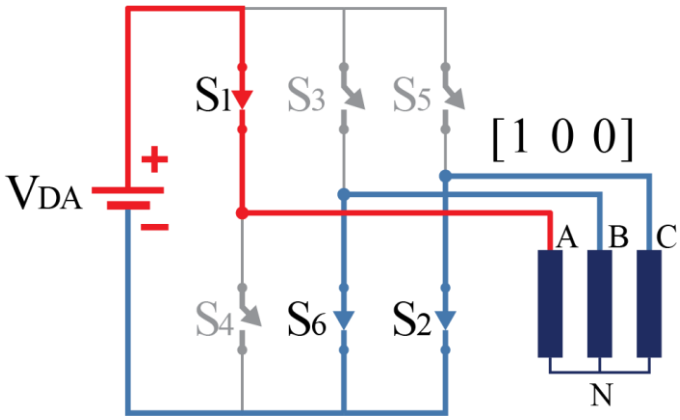
S1, S6 ve S5 anahtarları kapalı olduğu birinci anahtarlama durumu Şekil 4.4'de gösterilmiştir.



Şekil 4.4 Klasik evirici mod-1

Şekil 4.4'te görüldüğü gibi A ve C fazlarına bağlı yük dirençleri birbirlerine paralel bağlı olduğundan eşdeğer yük direnci R/2 olacaktır ve B fazı tek başına olduğundan yük direnci R'dir. A, B ve C fazları bağlı yük dirençleri üzerindeki gerilim değerleri sırasıyla +V/2, -V/2, +V/2; hat gerilim değerleri sırasıyla V, -V, 0; faz gerilim değerleri ise V/3, -2V/3, V/3'tür. A, B ve C fazlarına bağlı yük dirençlerinin üzerinden sırasıyla i/2, -i, i/2 akımları akar.

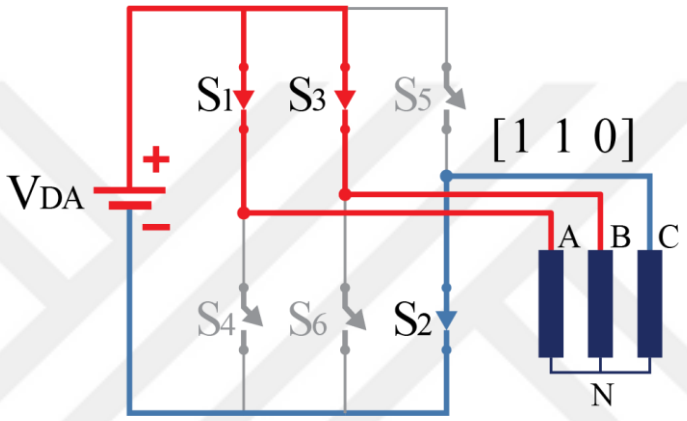
S1, S6 ve S2 anahtarları kapalı olduğu ikinci anahtarlama durumu Şekil 4.5'te gösterilmiştir.



Şekil 4.5 Klasik evirici mod-2

Şekil 4.5'te B ve C fazlarına bağlı yük dirençleri birbirlerine paralel bağlı olduğundan eşdeğer yük direnci R/2 olacaktır ve A fazı tek başına olduğundan yük direnci R'dir. A, B ve C fazları bağlı yük dirençleri üzerindeki gerilim değerleri sırasıyla +V/2, -V/2, -V/2; hat gerilim değerleri sırasıyla V, 0, -V; faz gerilim değerleri ise 2V/3, -V/3, -V/3'tür. A, B ve C fazlarına bağlı yük dirençlerinin üzerinden sırasıyla i, -i/2, -i/2 akımları akar.

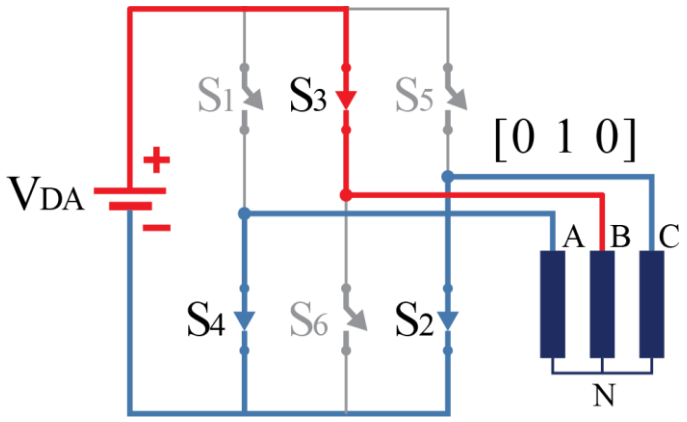
S1, S3 ve S2 anahtarları kapalı olduğu üçüncü anahtarlama durumu Şekil 4.6'da gösterilmiştir.



Şekil 4.6 Klasik evirici mod-3

Şekil 4.6'da gösterildiği gibi A ve B fazlarına bağlı yük dirençleri birbirlerine paralel bağlı olduğundan eşdeğer yük direnci R/2 olacaktır ve C fazı tek başına olduğundan yük direnci R'dir. A, B ve C fazları bağlı yük dirençleri üzerindeki gerilim değerleri sırasıyla +V/2, +V/2, -V/2; hat gerilim değerleri sırasıyla 0, V, -V; faz gerilim değerleri ise V/3, V/3, -2V/3'tür. A, B ve C fazlarına bağlı yük dirençlerinin üzerinden sırasıyla i/2, i/2, -i akımları akar.

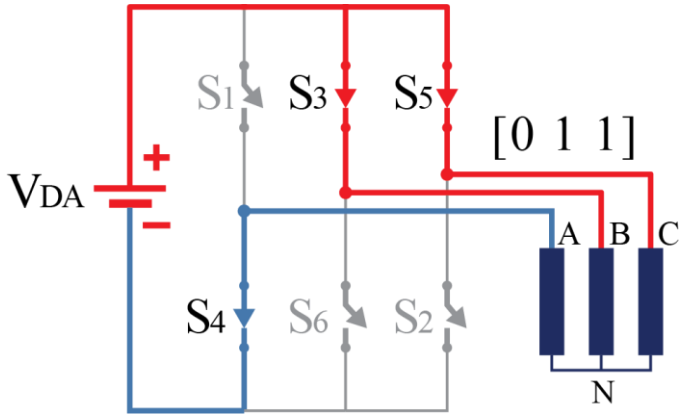
S4, S3 ve S2 anahtarları kapalı olduğu ikinci anahtarlama durumu Şekil 4.7'de gösterilmiştir.



Şekil 4.7 Klasik evirici mod-4

Şekil 4.7'de A ve C fazlarına bağlı yük dirençleri birbirlerine paralel bağlı olduğundan eşdeğer yük direnci R/2 olacaktır ve B fazı tek başına olduğundan yük direnci R'dir. A, B ve C fazları bağlı yük dirençleri üzerindeki gerilim değerleri sırasıyla -V/2, +V/2, -V/2; hat gerilim değerleri sırasıyla -V, -V, 0; faz gerilim değerleri ise -V/3, 2V/3, -V/3'tür. A, B ve C fazlarına bağlı yük dirençlerinin üzerinden sırasıyla -i/2, i, -i/2 akımları akar.

S4, S3 ve S5 anahtarları kapalı olduğu ikinci anahtarlama durumu Şekil 4.8'de gösterilmiştir.

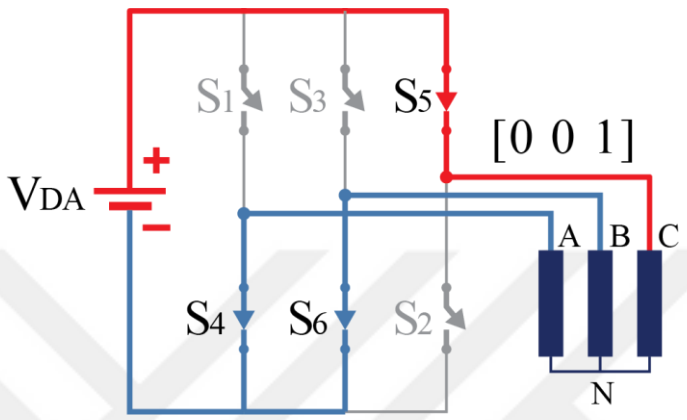


Şekil 4.8 Klasik evirici mod-5

Şekil 4.8'de görüldüğü gibi B ve C fazlarına bağlı yük dirençleri birbirlerine paralel bağlı olduğundan eşdeğer yük direnci R/2 olacaktır ve A fazı tek başına olduğundan yük direnci R'dir. A, B ve C fazları bağlı yük dirençleri üzerindeki gerilim

değerleri sırasıyla -V/2, +V/2, +V/2; hat gerilim değerleri sırasıyla -V, 0, +V; faz gerilim değerleri ise -2V/3, V/3, V/3'tür. A, B ve C fazlarına bağlı yük dirençlerinin üzerinden sırasıyla -i, i/2, i/2 akımları akar.

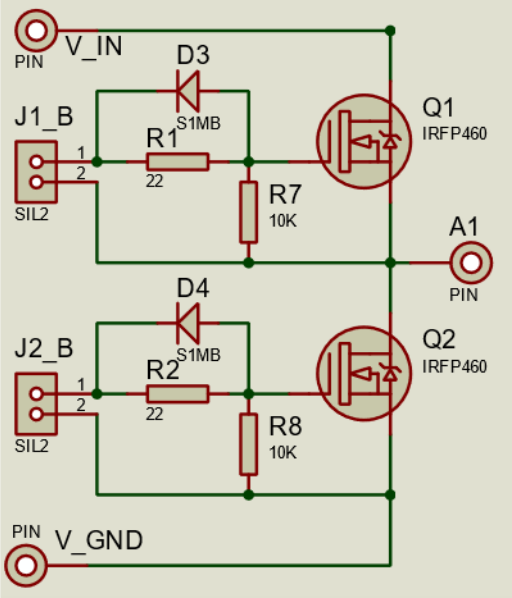
S4, S6 ve S5 anahtarları kapalı olduğu ikinci anahtarlama durumu Şekil 4.9'da gösterilmiştir.



Şekil 4.9 Klasik evirici mod-6

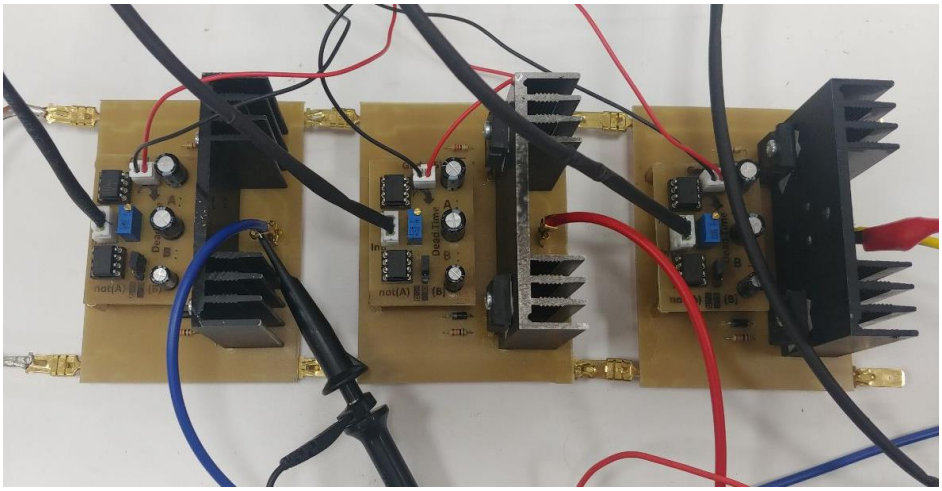
Şekil 4.9'da görüldüğü gibi A ve B fazlarına bağlı yük dirençleri birbirlerine paralel bağlı olduğundan eşdeğer yük direnci R/2 olacaktır ve C fazı tek başına olduğundan yük direnci R'dir. A, B ve C fazları bağlı yük dirençleri üzerindeki gerilim değerleri sırasıyla -V/2, -V/2, +V/2; hat gerilim değerleri sırasıyla 0, -V, +V; faz gerilim değerleri ise -V/3, -V/3, 2V/3'tür. A, B ve C fazlarına bağlı yük dirençlerinin üzerinden sırasıyla -i/2, -i/2, i akımları akar.

Yarım H-köprü devresine ait Proteus ISIS programında hazırlanan devre çizimi Şekil 4.10'da görülmektedir. Ana topolojide gösterilmeyen ve devrenin çalışması için gerekli diyot ve dirençler devrenin sağlıklı bir şekilde çalışması için eklenmiştir.



Şekil 4.10 Yarım H-köprü Proteus çizimi

Şekil 4.10'da R1 ve R2 dirençleri MOSFET'lerin Gate uçlarına giden akımı sınırlamaktadır ve bu dirençlere paralel kullanılan diyotlar sinyalin hızlı bir şekilde sönümlenmesini sağlar. R7 ve R8 dirençleri MOSFET'ler Gate uçlarına 0V verildiğinde anahtarlama elemanının Gate ucuna bağlı kapasitördeki gerilimi sıfırlayarak anahtarı yalıtkan hale getirir. Aksi halde anahtar sürekli olarak iletim durumunda olur. Baskı devre çalışmaları yapıldıktan sonra gerçekleştirilen modüler yapıya ait gerçek görüntü Şekil 4.11'de sunulmuştur.

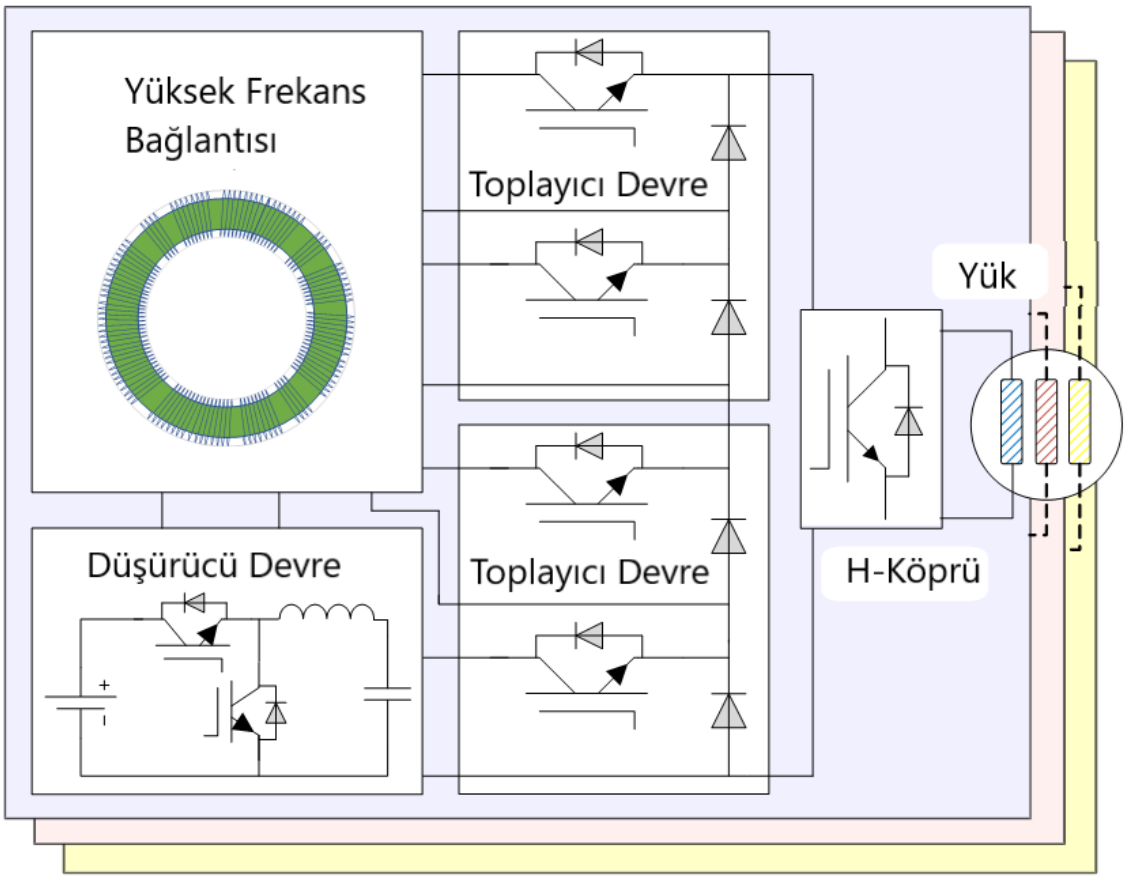


Şekil 4.11 Klasik evirici devre kartı

Şekil 4.11'de gösterildiği gibi 3 adet yarım H-köprü devresi kullanılarak klasik evirici elde edilmiştir. Soğutucuların sağında bulunan pinlerden A, B ve C fazları alınmaktadır. Giriş beslemesinin pozitif terminali üst kısımda birbirine bağlı bulunan pinlerden negatif terminali ise altta birbirine bağlanmış pinlerden verilmektedir.

4.2 Önerilen Topoloji ve Ana Modüller

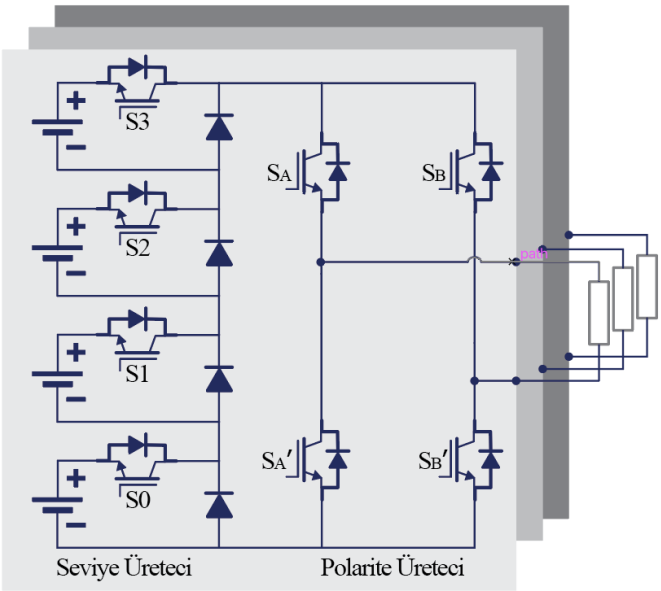
EA'da performans ve verim açısından AA motor kullanımı yaygınlaşmaktadır. Ayrıca EA'da kullanılan bataryalarda şarj etme karmaşıklığını azaltmak için tek gerilim barası kullanılır. Bu nedenle tek DA kaynaktan çıkışta çok seviyeli gerilim dalga şekli elde edilen bir topoloji önerilmiştir. Önerilen topolojinin ana yapısı ve temel birimleri Şekil 4.12'de sunulmuştur.



Şekil 4.12 Önerilen çok seviyeli evirici yapısı

Şekil 4.12'de önerilen topolojinin ana bileşenleri gösterilmiştir. Çıkış gerilimini harmonik bozulmadan ödün vermeden oranlayabilmek için ana devreye bir ayarlanabilir DA-DA azaltıcı dönüştürücü (düşürücü) devresi eklenmiştir. Asimetrik DA bara gerilimlerinin tek DA kaynağından elde edilebilmesi için yüksek frekanslı bir transformatör kullanılmıştır. HFL yardımıyla elde edilen asimetrik DA seviyeleri toplayıcı devre ve H-köprü kullanılarak çok seviyeli bir çıkış oluşturmaktadır. Sistem düşürücü devre olmadan da çalışmaktadır ancak düşük çıkış gerilimlerinde seviye kaybı gözlenmektedir. Sonuç olarak, yüksek bir THB üretir.

Tek DA kaynağa ait bara gerilimi asimetrik yapılandırılmış (2^N) dört farklı seviye elde edilmiştir. HFL yardımıyla ikili yapılandırma ile üretilen 3 farklı DA bara gerilimi (1V:2V:4V) ve 8V oranında olan ana kaynak gerilimi toplayıcı diyot devresi (toplayıcı devre) yardımıyla çoklu seviyelere dönüştürülmektedir. Kaynakların tek kaynaktan üretilmediği ana topoloji Şekil 4.13'te gösterilmiştir.

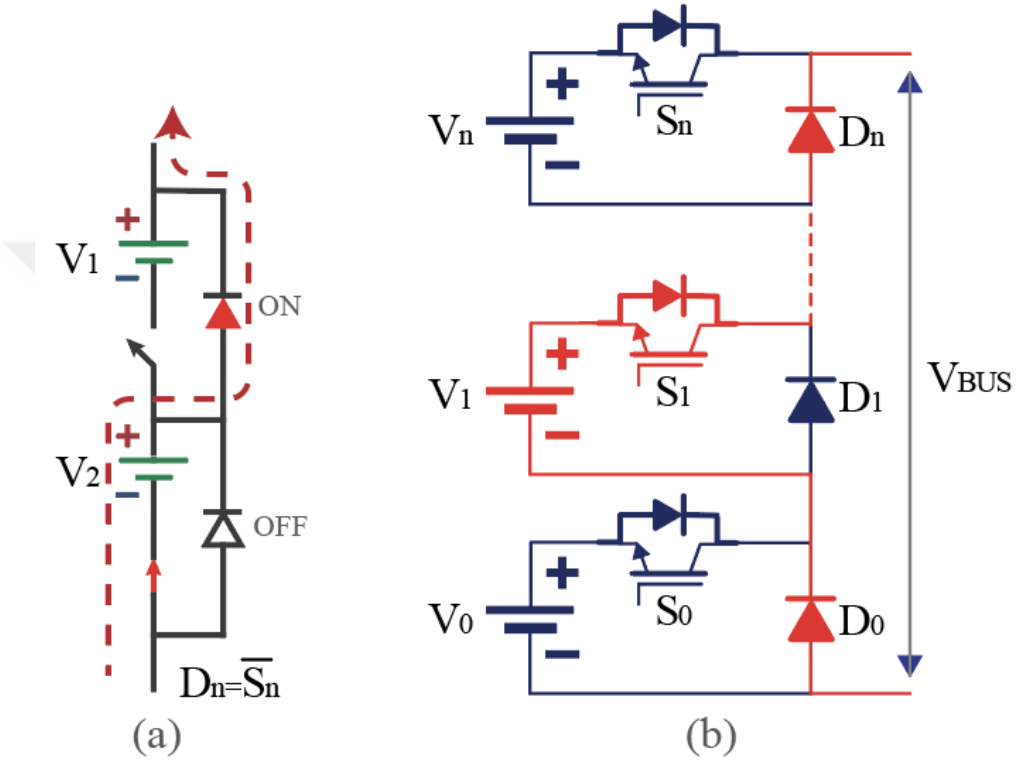


Şekil 4.13 Önerilen ÇSE'nin bağımsız kaynaklarla ana topolojisi

Şekil 4.13'te seviye üreteci olarak gösterilen kısımda toplayıcı diyot yapısı kullanılmıştır. Bu devrede bağımsız DA kaynakları anahtarlama durumlarına göre toplanır. Devrenin çıkışından kullanılan H-köprü ise çoklu DA bara gerilimlerini çift polariteli seviyelere dönüştürmektedir. Bu ana topoloji şekilde de belirtildiği gibi her faz için ayrı ayrı kullanılır.

4.2.1 Toplayıcı Diyot Genel Yapısı

Toplayıcı diyot yapısı toplayıcı özellikte bir yapı olup farklı seviyelerdeki asimetrik DA bara gerilimlerinin toplamlarını sentezlemektedir. Toplayıcı diyot devresinin genel yapısı Şekil 4.14'te sunulmuştur.



Şekil 4.14 Toplayıcı diyot yapısı

Şekil 4.14a'da görüldüğü üzere her modüldeki anahtar kapandığında diyot kendisine paralel DA kaynak tarafından ters polarlanacağı için kesimde olacaktır. İlgili anahtar açıldığında ise diyot iletime geçerek DA kaynağı baypas edecektir. Şekil 4.14b'de toplayıcı diyot ana yapısı görülmektedir. Ana yapıda her modül bir DA kaynak, bu kaynağa seri bağlı bir güç anahtarı ve bu iki elemana paralel bir ters diyottan oluşmaktadır. Dört modüllü toplayıcı diyot yapısı için farklı anahtarlama durumlarında diyot durumları ve DA bara gerilimleri Çizelge 4.1'de görülmektedir.

Çizelge 4.1 Dört modüllü yapı için anahtarlama durumları

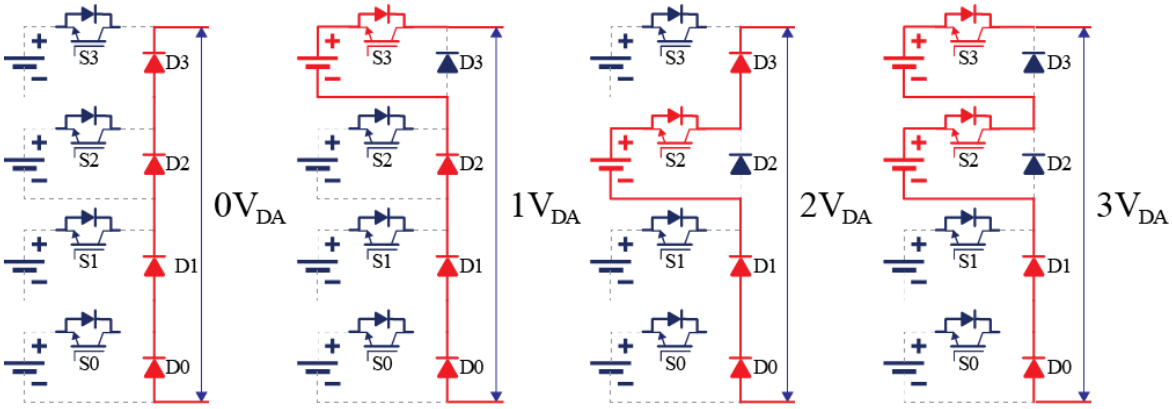
$S_0S_1S_2S_3$	$D_0D_1D_2D_3$	V_{BUS}
[0000]	ON ON ON ON	0
[0000]	ON ON ON OFF	1
[0000]	ON ON OFF ON	2
[0000]	ON ON OFF OFF	3
[0000]	ON OFF ON ON	4
[0000]	ON OFF ON OFF	5
[0000]	ON OFF OFF ON	6
[0000]	ON OFF OFF OFF	7
[0000]	OFF ON ON ON	8
[0000]	OFF ON ON OFF	9
[0000]	OFF ON OFF ON	10
[0000]	OFF ON OFF OFF	11
[0000]	OFF OFF ON ON	12
[0000]	OFF OFF ON OFF	13
[0000]	OFF OFF OFF ON	14
[0000]	OFF OFF OFF OFF	15

ON OFF

Önerilen topoloji pozitif gerilim olarak 15 seviye üretmektedir. Daha önce belirtildiği gibi toplayıcı diyot yapısında modüldeki DA kaynaklar sırasıyla 1:2:4:8 V_{DA} olarak yapılandırılmıştır. Çizelge 4.1'de anahtarlama sinyallerini oluşturan sinyaller $[S_0S_1S2S_3]_2$ ikili tabanda bir sayıya DA bara gerilimi ise bu iki tabandaki sayıların desimal karşılığı olmaktadır. Tablo bütün pozitif gerilimleri üretmek için gerekli anahtarlama durumlarını ve diyotların iletkenlik durumları gösterilmiştir. Akım ya anahtarlama elemanında ya da diyottan geçeceği için aynı numaralı diyot ve anahtarlama elemanı iletkenliği eşlenik halindedir. Dolayısıyla DA bara gerilimi Eşitlik 4.1'deki gibi ifade edilecektir.

$$V_{Bara} = [S_0S_1S_2S_3]_2 \cdot V_{DA} \tag{4.1}$$

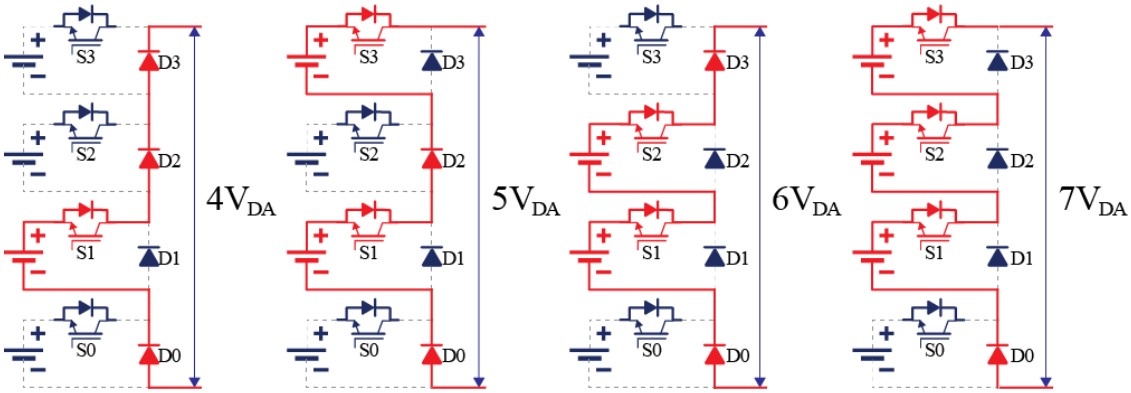
Çizelge 4.1'deki anahtarlama durumuna göre tüm modlar sırasıyla Şekil 4.15 - Şekil 4.18'de gösterilmiştir.



Şekil 4.15 Anahtarlama modları: V_{Bara} =0, $1V_{DA}$, $2V_{DA}$, $3V_{DA}$

Şekil 4.15'deki modlara göre sırasıyla DA bara gerilimlerini Eşitlik 3.2'e göre hesaplarsak;

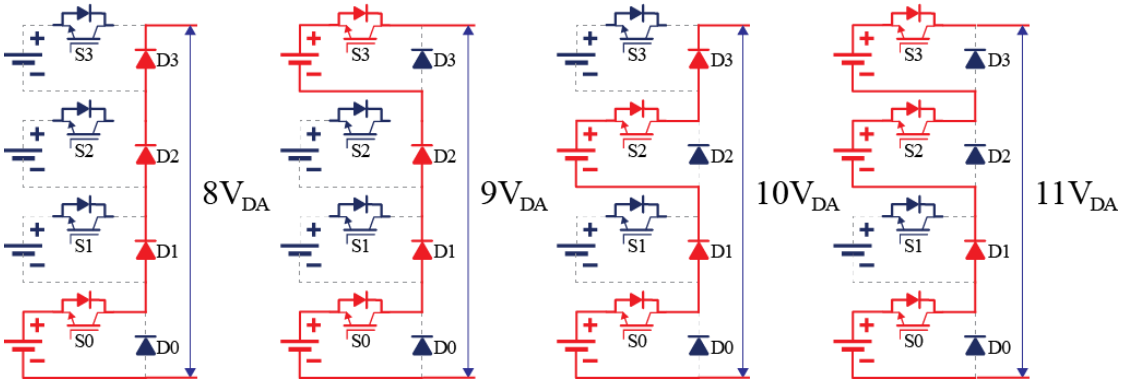
$$V_{Bara} = \begin{cases} [0000]_2 \cdot V_{DA} = 0V_{DA} \\ [0001]_2 \cdot V_{DA} = 1V_{DA} \\ [0010]_2 \cdot V_{DA} = 2V_{DA} \\ [0011]_2 \cdot V_{DA} = 3V_{DA} \end{cases} \tag{4.2}$$



Şekil 4.16 Anahtarlama modları: V_{Bara} = $4V_{DA}$, $5V_{DA}$, $6V_{DA}$, $7V_{DA}$

Şekil 4.16 'daki modlara göre sırasıyla DA bara gerilimleri;

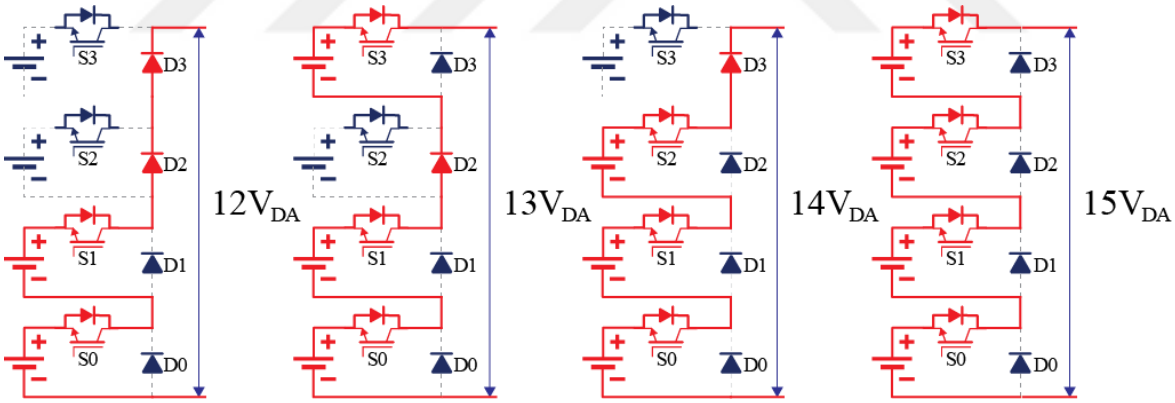
$$V_{Bara} = \begin{cases} [0100]_2 \cdot V_{DA} = 4V_{DA} \\ [0101]_2 \cdot V_{DA} = 5V_{DA} \\ [0110]_2 \cdot V_{DA} = 6V_{DA} \\ [0111]_2 \cdot V_{DA} = 7V_{DA} \end{cases} \tag{4.3}$$



Şekil 4.17 Anahtarlama modları: $V_{Bara} = 8V_{DA}, 9V_{DA}, 10V_{DA}, 11V_{DA}$

Şekil 4.17'deki modlara göre sırasıyla DA bara gerilimleri;

$$V_{Bara} = \begin{cases} [1000]_2 \cdot V_{DA} = 8V_{DA} \\ [1001]_2 \cdot V_{DA} = 9V_{DA} \\ [1010]_2 \cdot V_{DA} = 10V_{DA} \\ [1011]_2 \cdot V_{DA} = 11V_{DA} \end{cases} \tag{4.4}$$

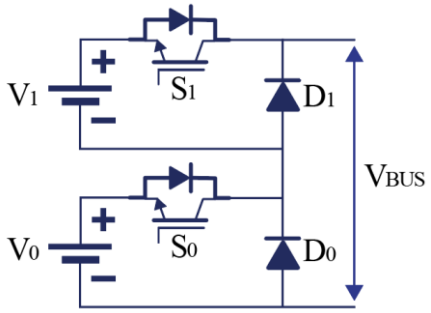


Şekil 4.18 Anahtarlama modları: $V_{Bara} = 12V_{DA}, 13V_{DA}, 14V_{DA}, 15V_{DA}$

Şekil 4.18'daki modlara göre sırasıyla DA bara gerilimleri;

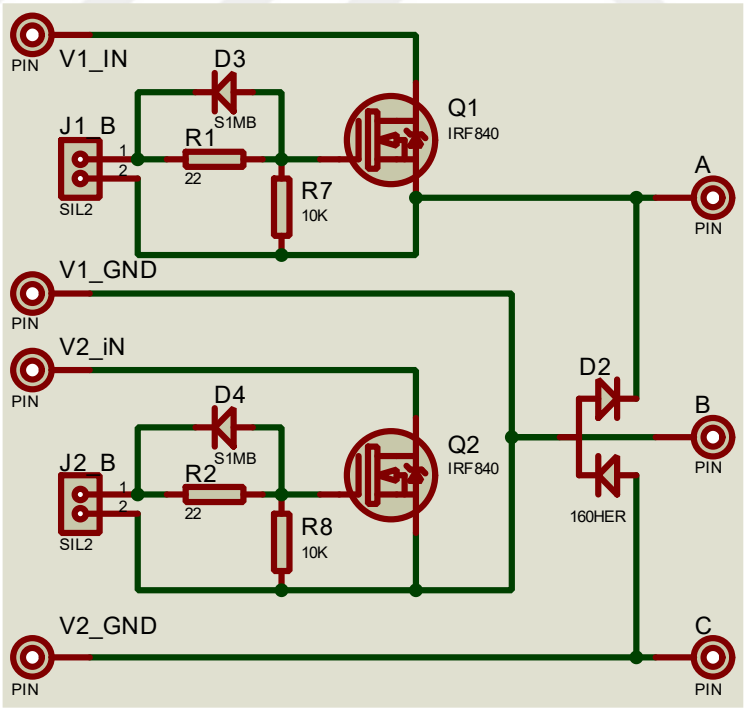
$$V_{Bara} = \begin{cases} [1100]_2 \cdot V_{DA} = 12V_{DA} \\ [1101]_2 \cdot V_{DA} = 13V_{DA} \\ [1110]_2 \cdot V_{DA} = 14V_{DA} \\ [1111]_2 \cdot V_{DA} = 15V_{DA} \end{cases} \tag{4.5}$$

Toplayıcı diyot yapısı modüler kullanım kolaylığı açısından Şekil 4.19'da görüldüğü gibi iki kaynakla kullanılacak şekilde tasarlanmış ve önerilen topolojide 2 modül seri olarak kullanılmıştır.



Şekil 4.19 İki modüllü toplayıcı diyot yapısı

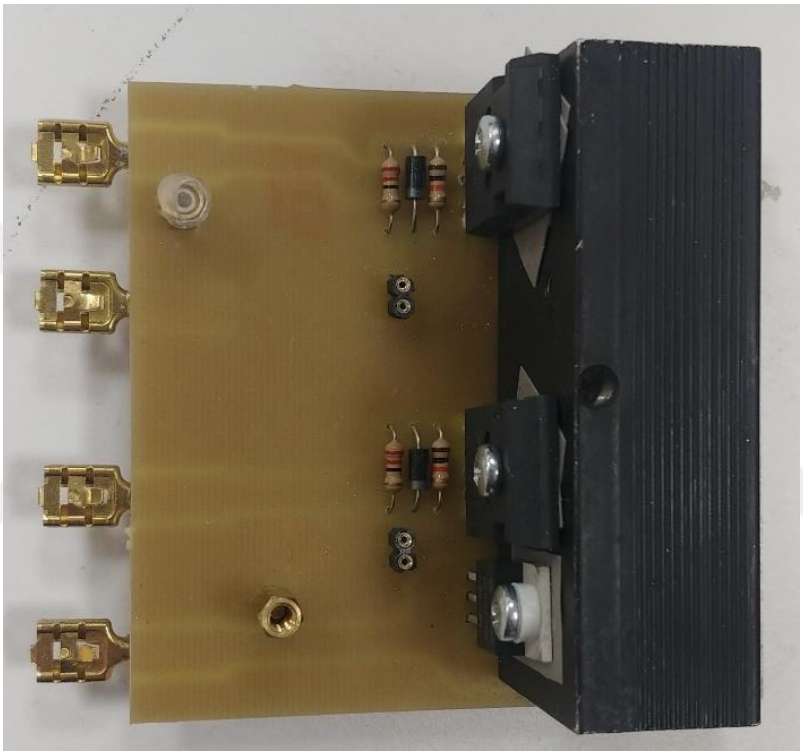
Toplayıcı diyot yapısının Proteus ISIS programında hazırlanan devre çizimi Şekil 4.20'de görülmektedir. Ana topolojide gösterilmeyen ve devrenin çalışması için gerekli diyot ve dirençler devrenin sağlıklı bir şekilde çalışması için eklenmiştir.



Şekil 4.20 Anahtarlama diyot modülü devre şematiği

Şekil 4.20’deki R1 ve R2 dirençleri MOSFET’lerin Gate uçlarına giden akımı sınırlamaktadır ve bu dirençlere paralel kullanılan diyotlar sinyalin hızlı bir şekilde sönümlenmesini sağlar. R7 ve R8 dirençleri MOSFET’ler gate uçlarına 0V verildiğinde anahtarlama elemanının Gate ucuna bağlı kapasitördeki gerilimi sıfırlayarak anahtarı yalıtkan hale getirir. Aksi halde anahtar sürekli olarak iletim durumunda olur.

Baskı devre çalışmaları yapıldıktan sonra gerçekleştirilen modüler yapıya ait gerçek görüntü Şekil 4.21’de sunulmuştur.

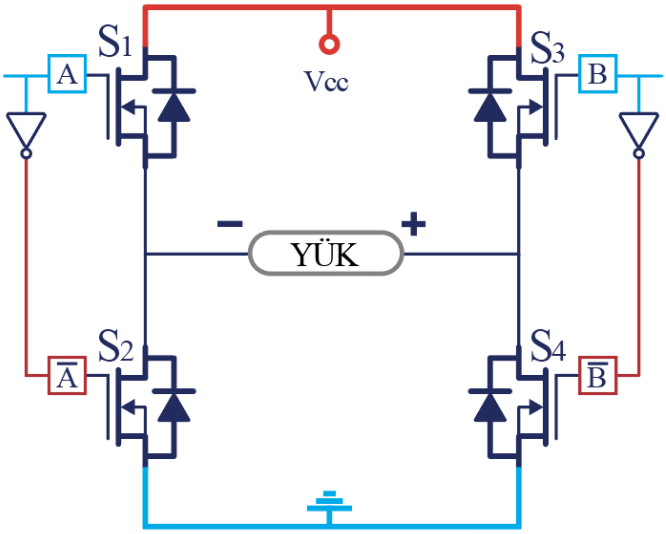


Şekil 4.21 Toplayıcı diyot yapısının fiziksel devresi

Şekil 4.21’de görüldüğü gibi fiziki devrenin giriş çıkış pinleri Şekil 4.20’da görüldüğü gibi çizim ile büyük benzerlikte yapılmıştır. Bu devre ile devreyi kontrol edecek sürücü devresi olası kötü durumlara karşı kolay ayrılabilir şekilde tasarlanmıştır.

4.2.2 H-köprü Devresi

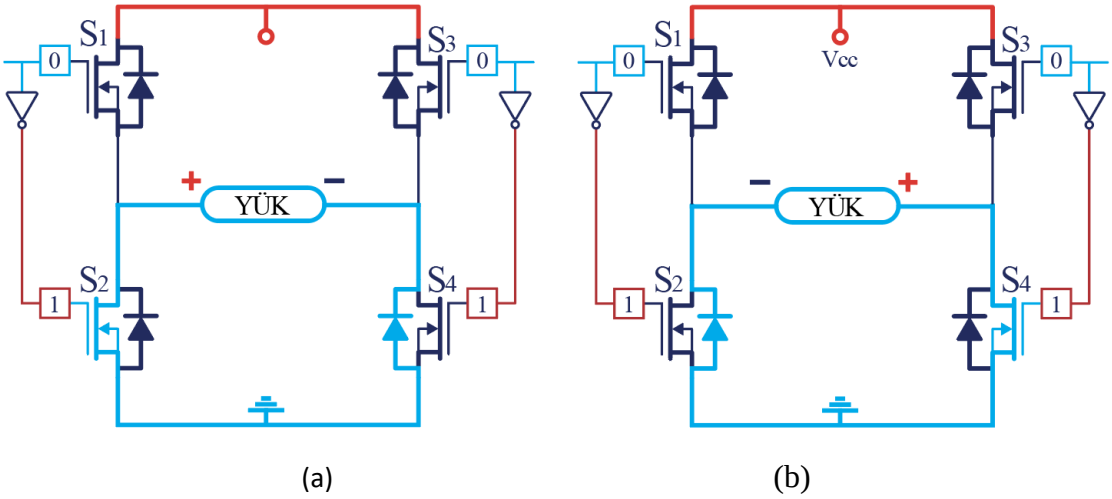
Şekil 4.22’de görüldüğü gibi H-köprü devresi hem toplama devresi çıkışını evirmek için hem de HFL devresinde kare sinyal oluşturmak için kullanılmıştır.



Şekil 4.22 H-köprü devresi

Şekil 4.22'de gösterilen H-köprü devresindeki yük üzerindeki polaritenin yön değiştirebilmesi için S_1-S_2 ile S_3-S_4 anahtarlarının eşlenik olarak çalışması gerekmektedir. Bu yüzden bu devreyi kontrol etmek için sadece iki kontrol sinyali yeterlidir. Devredeki S_1 transistörünün girişine A sinyali uygulandığı anda S_2 transistörün girişine A sinyalinin tersi uygulanmış olur. Benzer şekilde B sinyali ve tersi sırasıyla S_3 ve S_4 transistörlerine uygulanır. Bu sayede S_1, S_2 transistörleri ile S_3, S_4 transistörleri aynı anda iletimde olmaz ve kısa devre meydana gelmesi önlenmiş olur. Devrede A ve B sinyallerinin 1 veya 0 olduğu durumlar sırasıyla lojik-1 veya lojik-0'ı göstermektedir. Devrede kaynak gerilimine (V_{CC}) doğrudan bağlı bölümler kırmızı renk ile vurgulanmışken toprak ile temas eden kısımlar açık mavi olarak vurgulanmıştır.

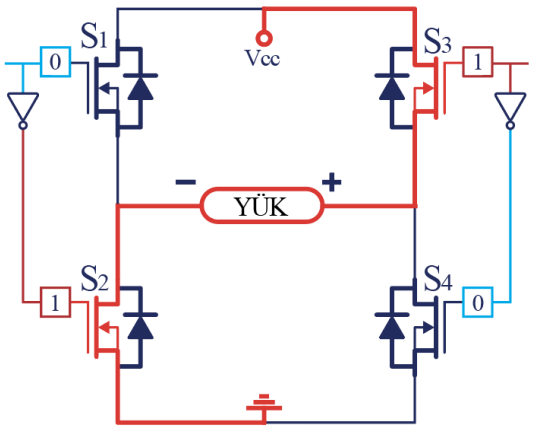
Şekil 4.23'deki devrede A ve B sinyallerinin aynı anda 0 veya 1 olduğu durum gösterilmiştir. Bu durumda S_2 ve S_4 transistörleri iletimde iken S_1 ve S_3 transistörleri kesimde, S_2 ve S_4 transistörleri kesimde iken S_1 ve S_3 transistörleri iletimde olur. Her iki durumda da yük gerilim kaynağına uğramadan devresini tamamlar.



Şekil 4.23 H-köprü çıkışının 0V olma durumu (a) (AB=00), (b) (AB=11)

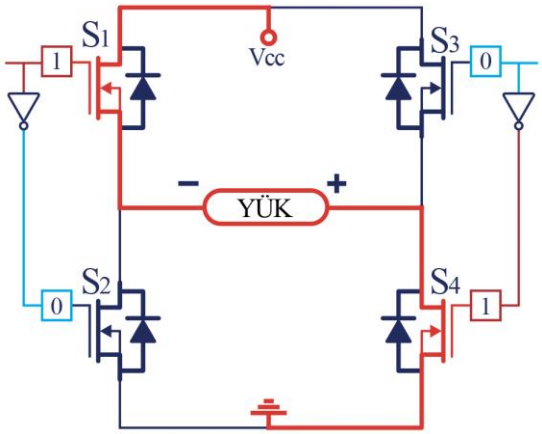
Devrede dikkat edilmesi gereken en önemli yapılardan biri kullanılan anti paralel diyotlardır. Yük üzerinde indüklenen bir enerji olması durumunda anti paralel diyotlar akım yolu oluşturarak devrenin tamamlanmasını sağlar. Şekil 4.23a'da yük üzerinde indüklenmiş bir gerilim olması durumunda S_2 anahtarındaki transistör ile S_4 anahtarındaki diyot üzerinden devre tamamlanırken, Şekil 4.23b'de yük üzerinde ters yönde indüklenmiş bir gerilimin olması durumunda ise S_2 anahtarındaki diyot ile S_4 anahtarındaki transistör üzerinden devre tamamlanır.

Şekil 4.24'deki devrede A'nın 0 ve B'nin 1 olduğu durumda S_2 ve S_3 transistörleri iletimde, S_1 ve S_4 transistörleri kesimde olur.



Şekil 4.24 A'nın 0 B'nin 1 olma durumu (AB=01)

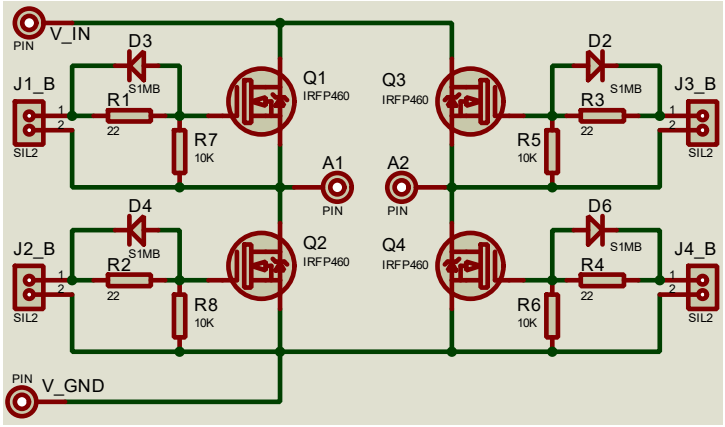
Şekil 4.24'te görüldüğü üzere V_{CC} gerilim kaynağının tüm anti paralel diyotları ters yönde polarlandığı için akım yolu ancak S_2 ve S_3 anahtarların transistörleri üzerinden devresini tamamlanabilmektedir. Şekil 4.25'deki devrede A'nın 1 ve B'nin 0 olduğu durumda S_1 ve S_4 transistörleri iletimde, S_2 ve S_3 transistörleri kesimde olur.



Şekil 4.25 A'nın 1, B'nin 0 olma durumu (AB=10)

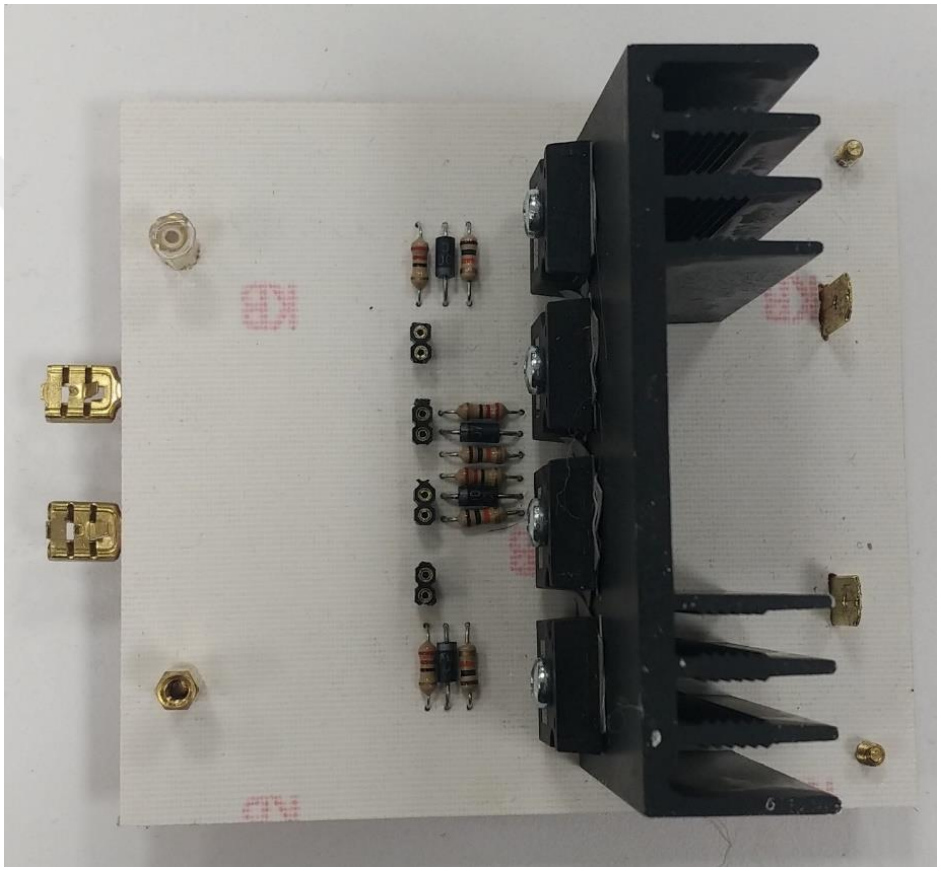
Şekil 4.25'teki durumda bir önceki durumun tersi yönde yük üzerinde bir polarite meydana gelir. H-köprü devresine ait Proteus ISIS programında hazırlanan devre çizimi

Şekil 4.26'da görülmektedir. Ana topolojide gösterilmeyen ve devrenin çalışması için gerekli diyot ve dirençler devrenin sağlıklı bir şekilde çalışması için eklenmiştir.



Şekil 4.26 H-köprü Proteus çizimi

Şekil 4.26’da gösterilen R1, R2, R3 ve R4 dirençleri MOSFET’lerin Gate uçlarına giden akımı sınırlamaktadır ve bu dirençlere paralel kullanılan diyotlar sinyalin hızlı bir şekilde sönümlenmesini sağlar. R5, R6, R7 ve R8 dirençleri MOSFET’ler Gate uçlarına 0V verildiğinde anahtarlama elemanının Gate ucuna bağlı kapasitördeki gerilimi sıfırlayarak anahtarı yalıtkan hale getirir. Aksi halde anahtar sürekli olarak iletim durumunda olur. Baskı devre çalışmaları yapıldıktan sonra gerçekleştirilen modüler yapıya ait gerçek görüntü Şekil 4.27’de sunulmuştur.

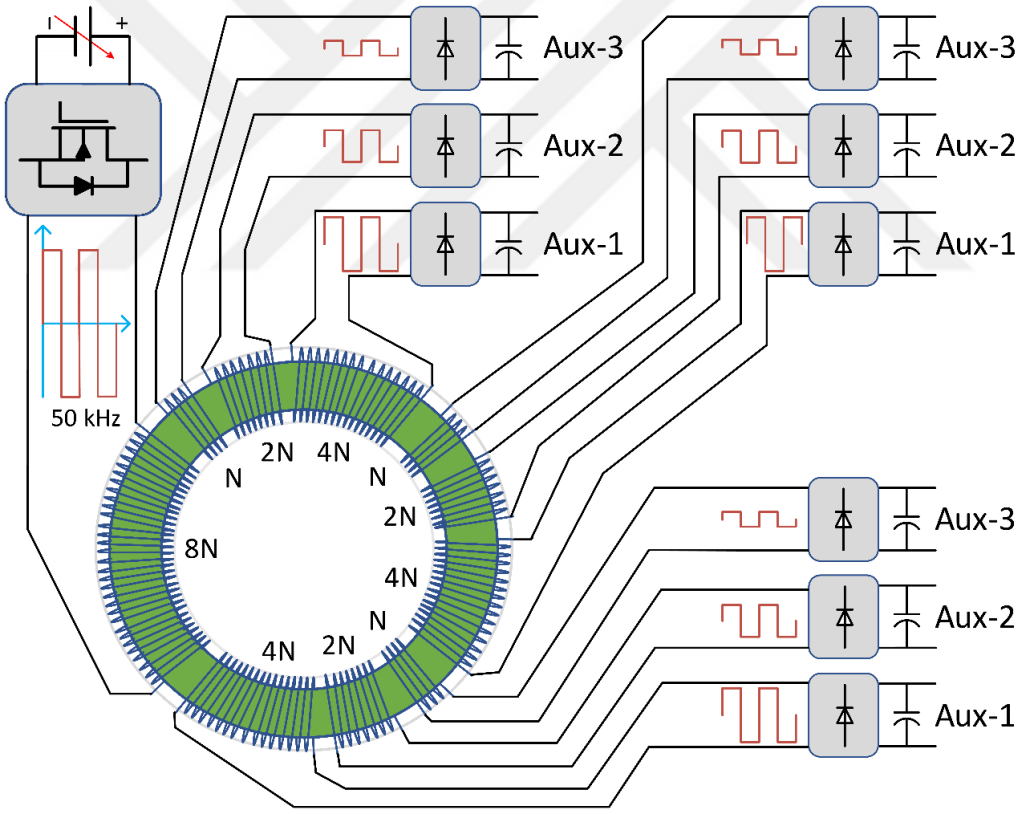


Şekil 4.27 H-köprü deneysel devresi

Şekil 4.27’de H-köprü yapısının gösterilen fiziki devrenin giriş pinleri artı terminal üstte, eksi terminal altta olmak üzere sol taraftadır. Çıkış pinleri ise sağ tarafta bulunmaktadır. Bu devre ile sürücü devresi olası kötü durumlara karşı kolay ayrılabilir şekilde tasarlanmıştır. Şeklin ortasında bulunan pinler ise sürücü devreden gelen sinyaller içindir.

4.2.3 Yüksek Frekanslı Bağlantı Devresi

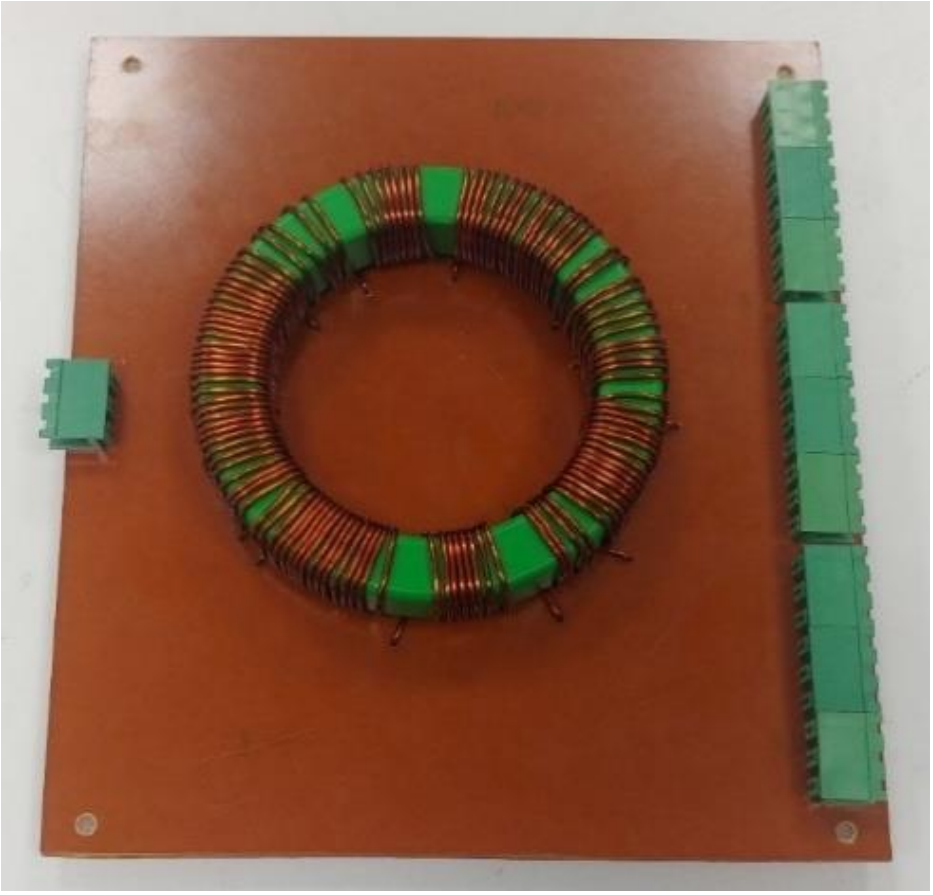
Yüksek Frekanslı Bağlantı Devresi (HFL) transformatörün primerine uygulanan yüksek frekanslı AA sinyalin sarım oranına göre sekonderden elde edilmesidir. Doğrultma işleminden sonra birbirinden izole edilmiş birden fazla DA gerilim kaynağı elde edilir. Bu, iki gerilim kaynağı arasında izolasyon sağlarken verimli güç aktarımına izin verir. Yüksek frekans kullanımı geleneksel düşük frekanslı transformatörlere kıyasla kapasitörler ve indüktörler gibi daha küçük ve daha hafif bileşenlerin kullanımına izin vermesidir. Dezavantajı ise yüksek frekansın anahtarlama kayıplarını artırmasıdır. Şekil 4.28'de görüldüğü gibi HFL devresinde köprü diyotlu yardımcı gerilim (AUX) birimleri üretirken herhangi bir kontrole ihtiyacı yoktur.



Şekil 4.28 Önerilen HFL devresi

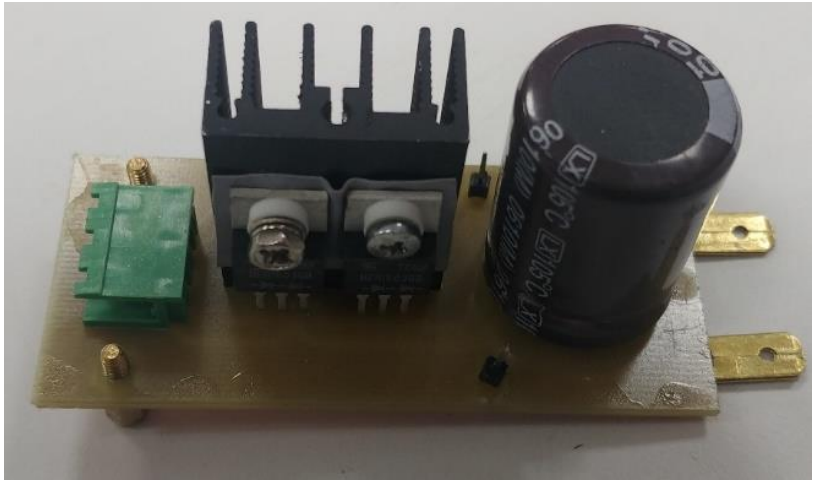
Burada kullanılan H-köprü yüke aktarılan gücün yarısından azına sahiptir ve yüksek frekanslı bir kare bir sinyal üretir. Yüksek frekans transformatör boyutunu küçültmek için kullanılır. Çok sargılı toroid transformatör, 2^N olarak ölçeklendirilmiş

genliğe sahip kare sinyaller üretir ve hızlı kurtarma diyotlarıyla yapılan basit köprü doğrultucular bu kare sinyalleri düzeltir. Bu şekilde, AUX birimleri DA düşürücü dönüştürücü kaynağından beslenir ve çıkış gerilimi bu DA kaynağının gerilimi ile orantılı olur. Deneysel çalışmada kullanılan toroid transformatör ve sargıları Şekil 4.29'da gösterilmiştir.



Şekil 4.29 Kullanılan toroid transformatör deneysel devresi

Şekil 4.29'da görüldüğü gibi bu transformatör belirlenen güçte ve 40kHz frekansta doyuma girmemiştir ve bu sayede sarım oranlarında çıkış gerilim üretmiştir. Doyuma ulaşan bir transformatör, manyetik çekirdeğin sağladığı manyetik akıyı sınırlar ve bu nedenle çıkış gerilimi istenen değerden sapabilir. Ancak bu durum, kullanılan toroid transformatör ve sargılarındaki tasarım ve frekans seçimi sayesinde önlenmiştir. HFL transformatörü ile üretilen kare sinyaller Şekil 4.30'da prototipi yapılan köprü diyot devresi ile doğrultulmuştur.

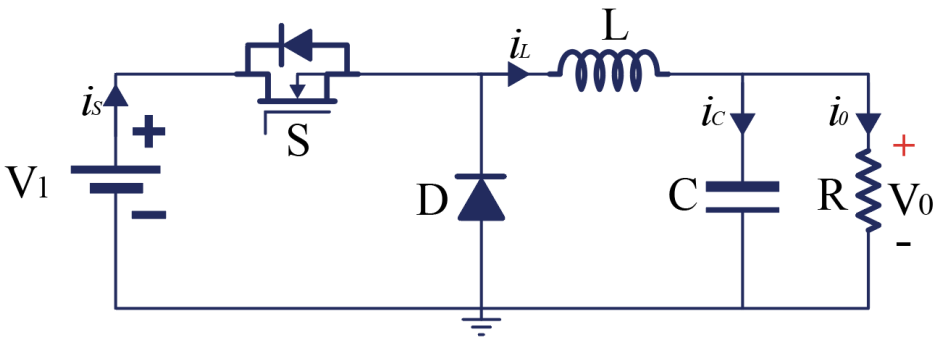


Şekil 4.30 Kullanılan diyot doğrultucu deneysel devresi

Şekilde gösterilen devrede kullanılan diyotlar piyasada ultra hızlı diyot olarak geçmektedir. Bu sayede yüksek frekanslarda düşük iletkenlik kaybı ve daha yüksek verimlilik sunarlar. Köprü diyot sonrasında kullanılan kapasitör kare sinyallerin üretilmesinde kullanılan H-köprü ölü zamandan ve diyotların iletim hızından kaynaklı gerilim kesintilerini yumuşatmak amacıyla kullanılmıştır.

4.2.4 Düşürücü Devre

Evirici çıkışında düşük gerilim gerekmesi durumunda seviye kaybının yaşanmaması ve THB'nin artmaması için topolojiye düşürücü devre eklenmiştir. Şekil 4.31'de görüldüğü gibi tipik düşürücü devre anahtar (S), diyot (D), indüktör (L), kapasitör (C) ve dirençten (R) devre elemanlarından oluşan güç elektroniği devresidir.

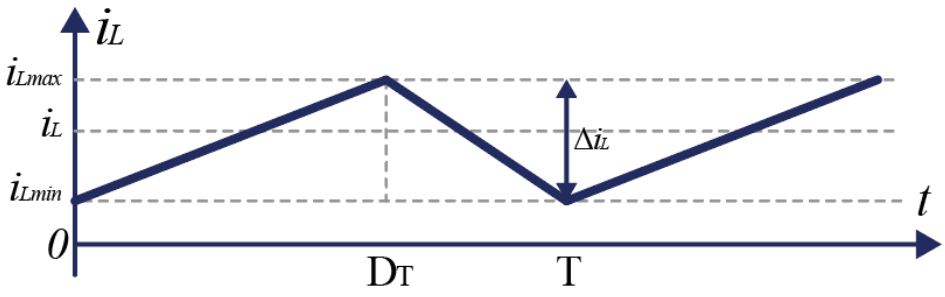


Şekil 4.31 Düşürücü devre

Şekil 4.31'de Vi ve Vo sırasıyla giriş ve çıkış gerilimlerini gösterirken i_S, i_L, i_C ve i_O ise sırasıyla giriş, indüktans, kapasitör ve çıkış akımlarını göstermektedir. Bu devrenin çıkışında bulunan LC filtresi hem dalgalanma miktarını azaltabilmektedir hem de devreden geçen akımın sıfıra düşmeden anahtarlama yapılabilmesini sağlamaktadır.

Düşürücü devrelerde çıkış gerilimi, giriş geriliminden her zaman düşüktür ve giriş gerilimi ile aynı polaritedir. Düşürücü devrenin senkron dönüştürücü ve senkron olmayan dönüştürücü olmak üzere iki çeşidi mevcuttur. Senkron dönüştürücülerde verimliliğin arttırılması için devredeki diyot yerine ikinci bir MOSFET daha kullanılır. İkinci bir MOSFET kullanılmasının sebebi diyotun iletim durumdaki gerilim düşümünün MOSFET'in iletim durumundaki gerilim düşümünden fazla olmasıdır. Fakat iki adet anahtarlama elemanının kullanılması senkron dönüştürücü devre tasarımını daha karmaşık hale getirmektedir. Ayrıca bu iki anahtarlama elemanının aynı anda iletimde olması durumunda giriş güç kaynağının kısa devre olmasına neden olmaktadır (H. Sucu, 2021).

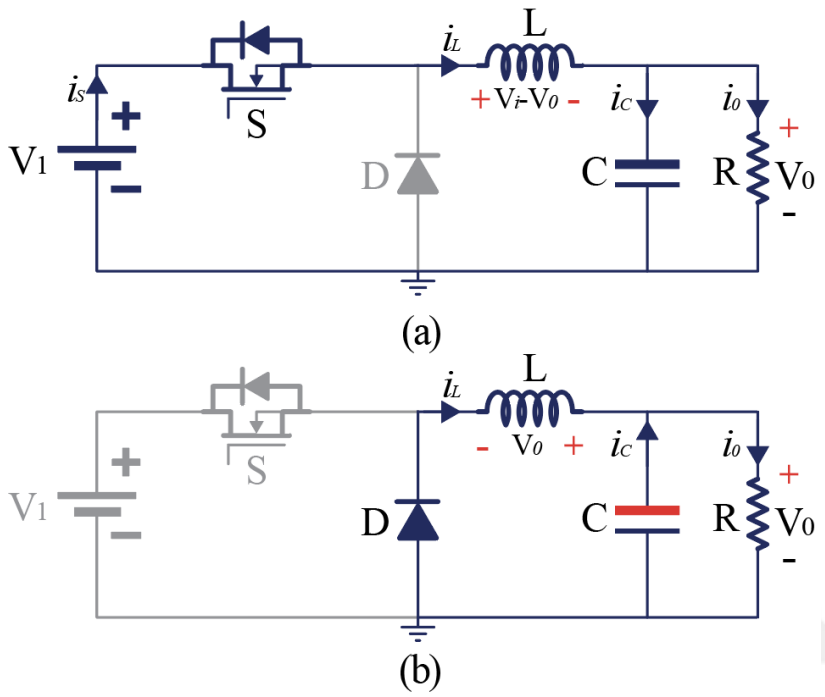
Bu tez kapsamında düşürücü devre sürekli iletim modunda çalıştırılmıştır, ancak süreksiz ve kritik iletim modu olmak üzere iki çalışma moduna daha sahiptir. Sürekli iletim modunda iken devredeki indüktör akımı tüm anahtarlama periyodu boyunca pozitiftir. Dolayısıyla indüktör akımının periyot boyunca sıfıra düşmemesiyle çıkıştaki akım dalgalanması diğer çalışma modlarına kıyasla daha az olabilmektedir. Şekil 4.32'de indüktör akımının sürekli iletim modundaki dalga şekli gösterilmiştir (H. Sucu, 2021).



Şekil 4.32 Sürekli iletim modunda indüktör akım dalga şekilleri

Düşürücü Devre Analizi

Tez çalışmasında düşürücü devre sürekli iletim modu kullanılmıştır. Anahtarlama periyodu boyunca devredeki anahtarın açık ve kapalı olması durumundaki devre şemaları Şekil 4.33'te gösterilmiştir.



Şekil 4.33 Düşürücü devre şeması. a: S-anahtarı kapalı, b: S-anahtarı açık

Şekil 4.33a'daki devrede S anahtarı kapalı olduğu yani DT süresi boyunca iletimde olduğu durumda giriş gerilimi doğrudan indüktörün girişine uygulanır. Bu durumda diyot ters kutuplandığı için kesimdedir. Dolayısıyla Şekil 4.33a'da gösterildiği gibi giriş akımı indüktör, kapasitör ve yük direnci üzerindeki yolu takip etmektedir. D görev periyodunu ifade ederken T ise anahtarlama periyodunu ifade etmektedir. Şekil 4.33b'de devrede S anahtarı açık olduğu yani (1-D)T süresi boyunca kesimde olduğu durumda diyot ileri yönde kutuplandığı için iletimdedir. Dolayısıyla Şekil 4.33b'de gösterildiği gibi indüktör akımı indüktör, kapasitör, yük direnci ve diyot üzerindeki yolu takip etmektedir.

Düşürücü devrede kullanılan L ve C değerleri (Sucu, 2021)'deki denklemler türetilerek bulunmuştur.

V_i = 100V, f = 20 kHz, Δi_L = 1A ve D = 0.1 için

$$V_0 = 0.1x100V = 10V$$
$$L = \frac{V_0(1-D)}{\Delta i_L f} = 0.45mH \tag{4.6}$$

Devrenin sürekli iletim modunda çalışması için 0.45mH'den büyük olmalıdır. C değerinin bulunması için:

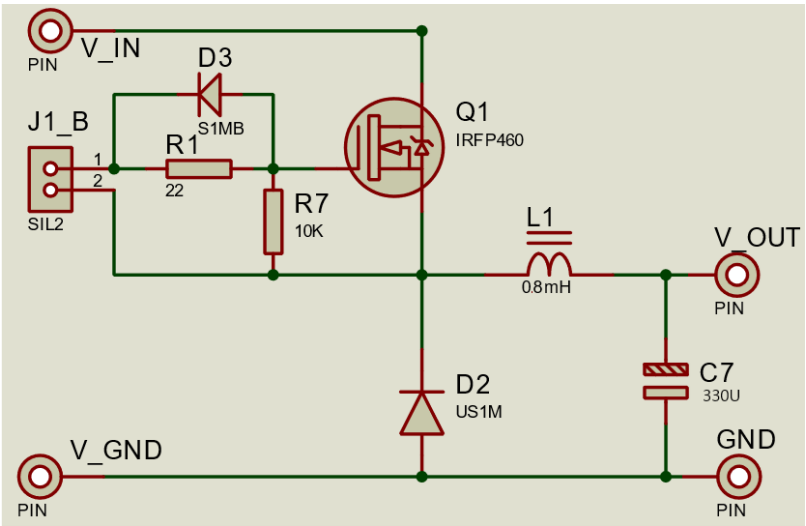
$$C = \frac{1-D}{8L(\Delta V_0 / V_0) f^2} \tag{4.7}$$

ifadesi kullanılır. Buradaki ΔV_0, tepeden tepeye çıkış gerilim dalgalanmasıdır. THB'nin en az etkilenmesi için ΔV_0= 20mV alınarak;

$$C = \frac{1-0.1}{8(0.45mH)(0.02/10)(20000)^2} = 312.5\mu F \tag{4.8}$$

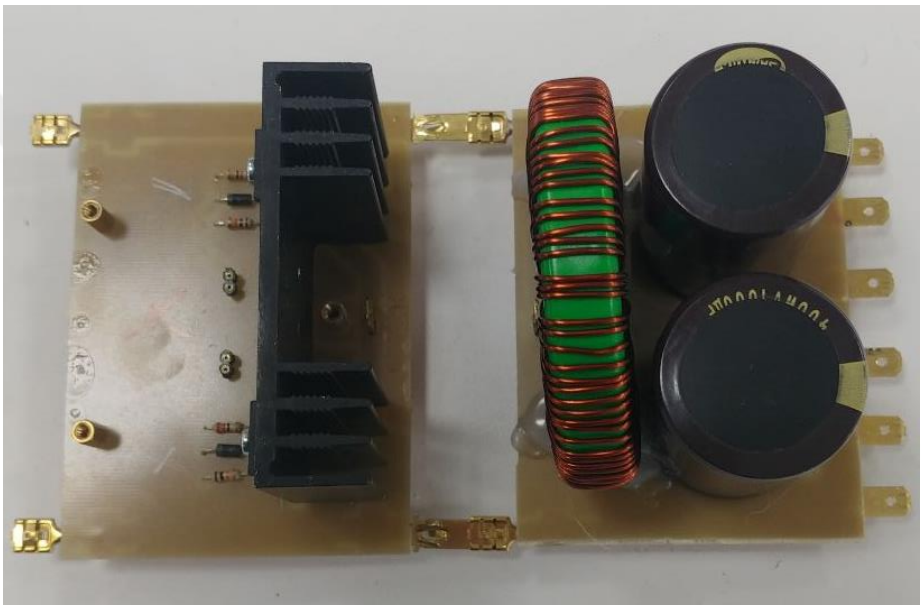
bulunur.

Şekil 4.34'te düşürücü devrenin Proteus çizimi verilmiştir. Ana topolojide gösterilmeyen ve devrenin çalışması için gerekli diyot ve dirençler devrenin sağlıklı bir şekilde çalışması için eklenmiştir.



Şekil 4.34 Düşürücü devrenin Proteus çizimi

Şekil 4.34’te gösterilen devrenin MOSFET’i için yüksek taraf kapı sürücü gerekmektedir. Anahtarlama elemanının sağlıklı bir şekilde sürülmesi için ana devreden fazla olarak R1, R2 dirençleri ve D3 diyotu kullanılmıştır. R1 direnci akımı sınırlar ve anahtarlama elemanının açılma süresini etkiler. R7 direnci MOSFET’in Gate ve Source uçları arasındaki kapasitördeki enerjiyi boşaltır. Bu direnci eklenmemesi halinde anahtarlama elemanı sürekli iletim halinde kalır. Sinyal çakışmasına neden olabilecek bu durum kısa devrelere neden olabilir ve anahtarlama elemanı kullanılamaz duruma gelebilir. Şekil 4.35’te ise düşürücü devrenin deneysel devresi gösterilmektedir.



Şekil 4.35 Düşürücü devrenin deneysel kartı

Şekil 4.35’te gösterilen devrenin modüler olması ve parçaların tekrar kullanılabilmesi için iki ayrı devre halinde tasarlanmıştır. Fiziksel devre için L değeri 0.8mH, C değeri 330uF olarak belirlenmiştir. Önerilen topoloji 3-faz olduğu için kullanım kolaylığı için devreden 3 paralel çıkış alınmıştır. Düşürücü devre için kullanılan sürücü devresi bir sonraki bölümde detaylı bir şekilde anlatılmıştır.

4.2.5 Sürücü Devreleri

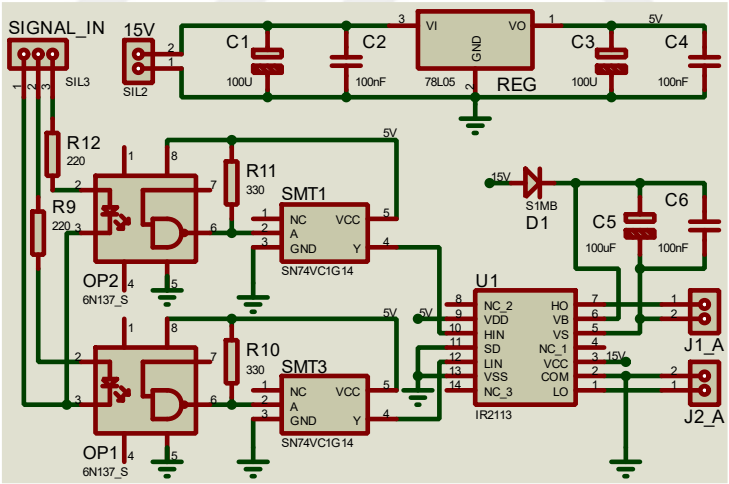
Sürücü devrelerinin amacı kullanılan yarı iletken cihazları doğru bir şekilde sürmek ve kontrol etmektir. MOSFET'in kapasitelerini hızlı bir şekilde şarj ve deşarj

etmek için yeterli akım ve gerilim sağlayarak anahtarlama hızını artırır. MOSFET'lerin doğru çalışması için belirli gerilim ve akım düzeylerine ihtiyaç vardır. Sürücü devreleri MOSFET'lerin yanlış veya aşırı çalışmasını önlemek için koruma özellikleri sağlar.

Bu tez kapsamında ayrı özelliği olan entegreler kullanılarak 3 ana sürücü devresi tasarlanmıştır. Bu devrelerin ortak özellikleri 15V gerilimde çalışmaları ve 3.3V olan FPGA çıkış sinyallerini izole olarak yükseltmeleridir. FPGA ve devrelerin izolasyonunu sağlamak için 6N137 optokuplör entegresi kullanılmıştır. Ayrıca hem optokuplör sinyali terslediği için ve hem de sinyalin kalitesini arttırmak için SN74VC1G14 schmitt trigger entegresi devrelere eklenmiştir.

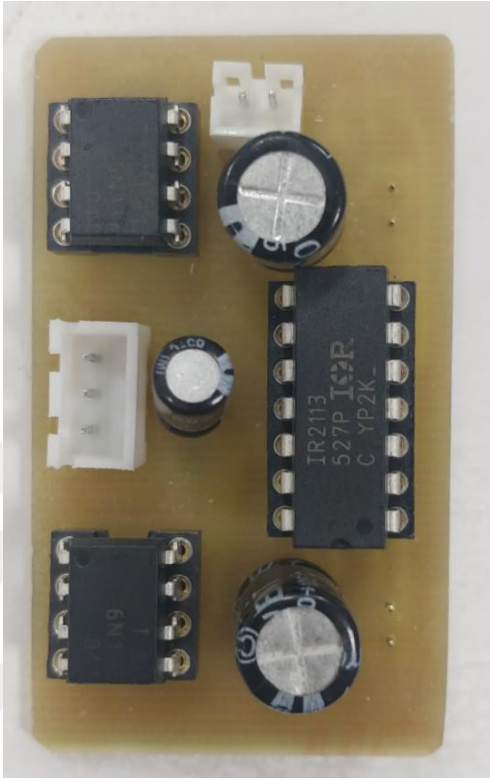
4.2.5.1 Toplayıcı Diyot Devre Sürücüsü

Toplayıcı diyot devre sürücüsü için ana entegre olarak IR2113 kullanılmıştır. Bu entegre üst üste iki anahtarlama elemanını sürmek için kullanılır. İki sinyal girişi vardır ve bu sinyal girişlerine aynı anda lojik-1 verilebilmektedir. Şekil 4.36'da IR2113 ile oluşturulan devrenin Proteus çizimi verilmiştir.



Şekil 4.36 Toplayıcı devre için sürücü devresi Proteus çizimi

Şekil 4.36’da çizimi verilen devrede iki sinyale lojik-1 verilmesi durumunda toplayıcı diyot devresine verilen gerilimler toplanarak çıkışa yansıtılır. Sürücü devresinin devre kartına dökülmüş hali Şekil 4.37’de gösterilmiştir.

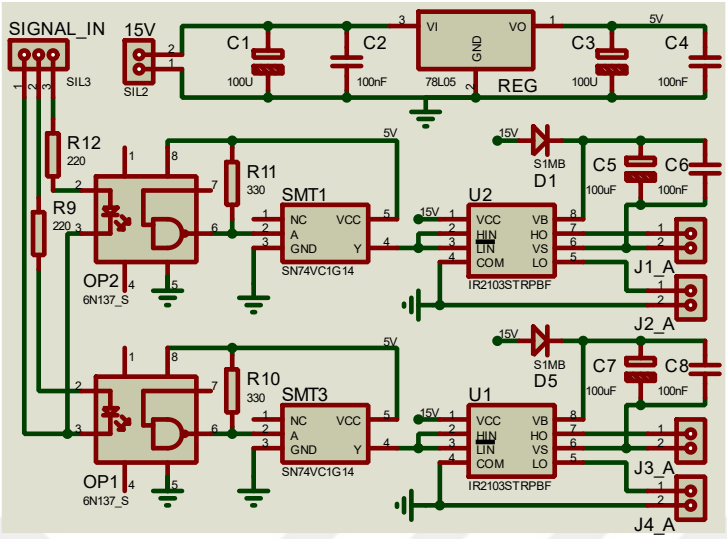


Şekil 4.37 Toplayıcı devre için sürücü devre kartı

Şekil 4.37’de gösterildiği gibi sürücü devresi ana devreye pinler vasıtasıyla eklenebilir olarak tasarlanmıştır. Sol tarafta FPGA’den gelen sinyallerin portları ve üst kısımda ise 15V besleme portları bulunmaktadır. Devre tasarımında 6N137 ve IR2113 entegreleriyle kapasitörler kartın üst yüzeyine, geri kalan komponentler ise kartın bakır yüzeyine yerleştirilmiştir.

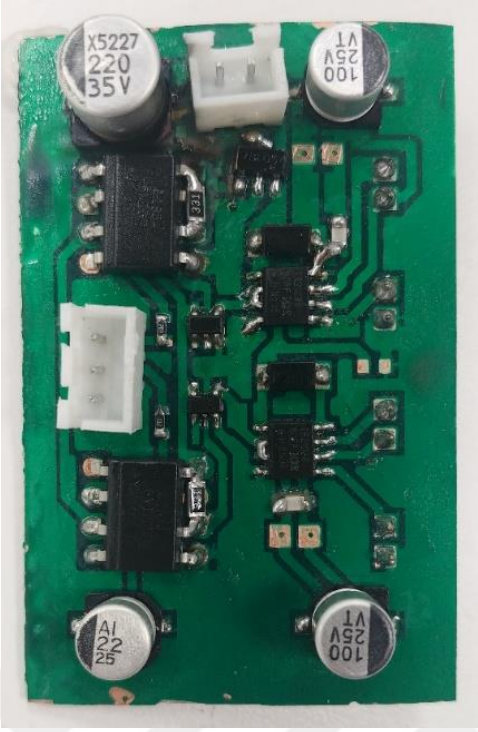
4.2.5.2 H-Köprü Devre Sürücüsü

H-köprü devre sürücüsü için ana komponent olarak iki adet IR2103 entegresi kullanılmıştır. Bu entegrede girişlere aynı sinyal verilmesi durumunda gelen sinyali üst taraf anahtarlama elemanına, sinyalin tersini de alt taraf anahtarlama elemanına iletir. Şekil 4.38’de IR2103 ile oluşturulan devrenin Proteus çizimi verilmiştir.



Şekil 4.38 H-köprü devresi Proteus çizimi

Şekil 4.38’de gösterildiği gibi IR2103 entegrelerinin girişleri birbirine bağlanmıştır. Bu entegrenin bir özelliği de sinyaller ayrı ayrı verilecek olsa bile bağlandığı koldan iletimi sağlamamasıdır. Bu da özellikle H-köprü devresinde devrenin güvenliğini sağlayarak elemanların yanmasını önlemektedir. Sürücü devresinin devre kartına dökülmüş hali Şekil 4.39’da gösterilmiştir.

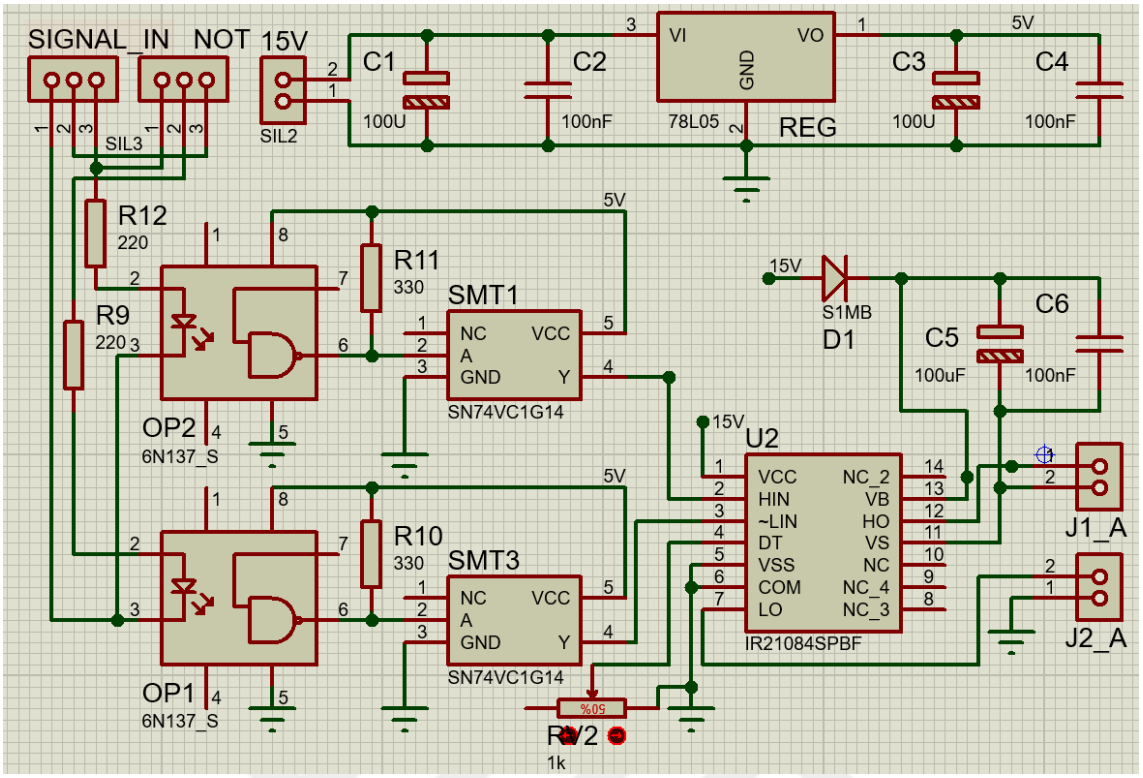


Şekil 4.39 H-köprü için sürücü devre kartı

Şekil 4.39’da gösterilen deneysel kartta kullanılan entegre sayesinde 2 sinyal ile kontrol edilebilmektedir. Bu da FPGA’in kontrol yükünü hafifletmekte ve kullanılması muhtemel devre elemanlarından tasarruf etmeyi sağlamaktadır. Sürücü devresi ana devreye pinler vasıtasıyla eklenebilir olarak tasarlanmıştır.

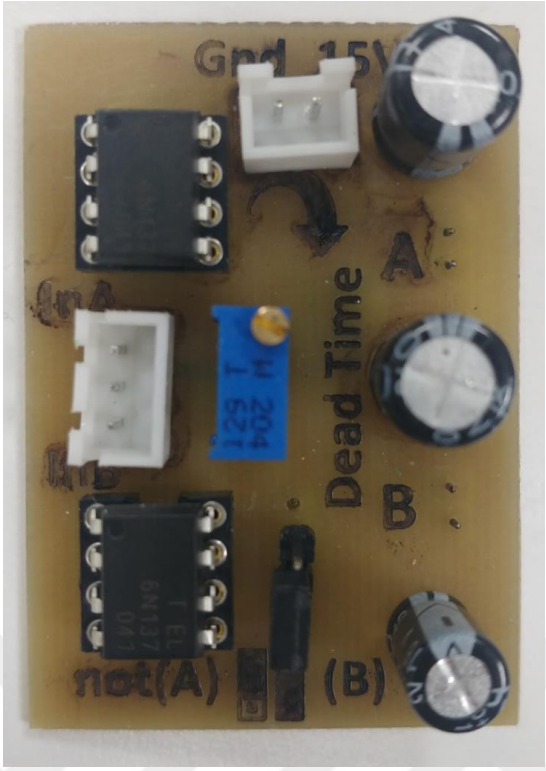
4.2.5.3 Düşürücü ve Yarım H-köprü Devre Sürücüsü

Yarım H-köprü devresi 3 adet olarak kullanılarak klasik evirici oluşturulur. Aynı zamanda sadece üst taraf anahtarlama elemanı kullanılarak Düşürücü devresinde kullanılır. Şekil 4.40’da Proteus çizimi verilen yarım H-köprü devre sürücüsü için bir adet IR21084 entegresi kullanılmıştır.



Şekil 4.40 Düşürücü devre ve Yarım H-köprü sürücüsü Proteus çizimi

Şekil 4.40'da gösterilen devredeki IR21084 entegresine girişlere aynı sinyal verilmesi durumunda gelen sinyali üst taraf anahtarlama elemanına, sinyalin tersini de alt taraf anahtarlama elemanına iletir. Ayrıca bu entegre harici bir RV ile gösterilen direnç ile sinyaller arasındaki ölü zamanı ayarlamak mümkündür. Bu da FPGA'in kontrol yükünü hafifletmektedir. Sürücü devresinin devre kartına dökülmüş hali Şekil 4.41'de gösterilmiştir.



Şekil 4.41 Düşürücü devre ve Yarım H-köprü sürücü devre kartı

Şekil 4.41'de gösterilen sürücü devresi hem düşürücü devreye hem de klasik evirici devresine pinler vasıtasıyla eklenebilir olarak tasarlanmıştır. IR21084 SMD kılıfında olduğu için devrenin bakır yüzeyine monte edilmiştir.

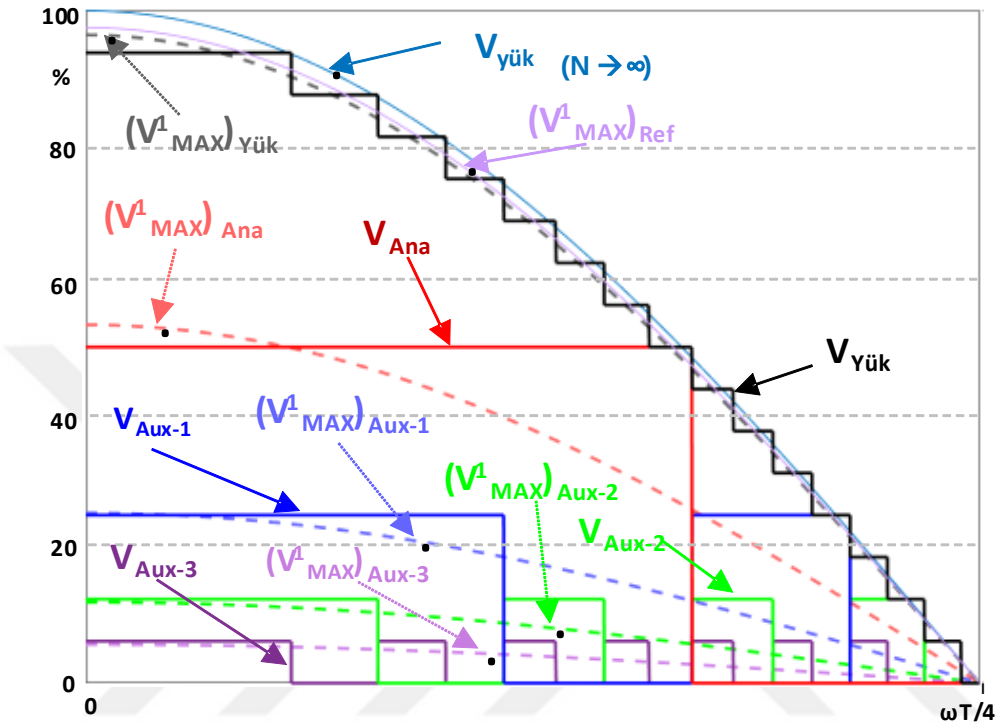
4.3 Transformatör Sarım ve Güç Hesabı

100 V_{DA} besleme geriliminde primer sargıya verilen kare gerilimin RMS değeri de 100V olacaktır. 40kHz frekansta 1,65cm^2 (1,5cm×1,1cm) kesit alanı ve 0,2 Tesla, transformatörün primer dönüş sayısı:

$$N = \frac{V_{RMS}}{4 \cdot f \cdot A \cdot B_{MAX}} = \frac{100}{4 \cdot 40 \cdot 10^3 \cdot 1.65 \cdot 10^{-4} \cdot 0.2} = 19 \tag{4.9}$$

Primer sargı en az 19 dönüşe sahip olmalıdır. Tasarım için, 2^N güçte ölçeklenen gerilimleri sağlamak için 32 sargı seçilmiştir. Bu seçime göre, AUX-1 başına 16 dönüş, AUX-2 başına 8 dönüş ve AUX-3 başına sadece 4 dönüş gereklidir.

Önerilen topoloji kullanılarak HFL'nin güç yoğunluğu için, ana ve AUX devrelerden transfer edilen güç Eşitlik 4.10'da hesaplanmıştır. Güç dağılımı, Şekil 4.42'de gösterildiği gibi NLC'ye göre hesaplanmıştır.



Şekil 4.42 NLC kontrolü kullanılarak gerilim dalga biçimleri ve temel gerilimler

Şekil 4.42'de yük gerilim adımları referans gerilimi her adımda yarıya bölecek şekilde güç anahtarlarının belli açılarda tetiklenmesiyle ayarlanmıştır. Bu açılara göre her birimin verdiği gerilimin temel harmoniği hesaplanarak güç dağılımı hesaplanmıştır.

Bir faz için dağıtılan tam güç:

$$
\begin{aligned}
P_{\mathrm{LOAD}} &= \sum_{j=0}^{N}\left(V_{\mathrm{RMS}}^{1}\cdot I_{\mathrm{RMS}}^{1}\cdot\cos\varphi\right)_{j} \\
&= \left(V_{\mathrm{RMS}}^{1}\cdot I_{\mathrm{RMS}}^{1}\cdot\cos\varphi\right)_{MAIN} + \left(V_{\mathrm{RMS}}^{1}\cdot I_{\mathrm{RMS}}^{1}\cdot\cos\varphi\right)_{AUX-1} \\
&+ \left(V_{\mathrm{RMS}}^{1}\cdot I_{\mathrm{RMS}}^{1}\cdot\cos\varphi\right)_{AUX-2} + \left(V_{\mathrm{RMS}}^{1}\cdot I_{\mathrm{RMS}}^{1}\cdot\cos\varphi\right)_{AUX-3} + \cdots
\end{aligned}
\tag{4.10}
$$

V^1_{RMS}, I^1_{RMS} ve $cos\varphi$ sırasıyla temel harmonik gerilimi, temel harmonik akımı ve güç faktörüdür. j=0 terimi ANA toplatıcı devreyi temsil eder ve j=N zincirdeki en küçük dönüştürücüye karşılık gelir.

Tüm toplayıcı diyot devreleri seri olduğundan, her birimden geçen akım eşittir.

$$\left(I^1_{\mathrm{RMS}}\right)_{\mathrm{LOAD}} = \left(I^1_{\mathrm{RMS}}\right)_{\mathrm{MAIN}} = \left(I^1_{\mathrm{RMS}}\right)_{\mathrm{Aux1}} = \cdots = \left(I^1_{\mathrm{RMS}}\right)_{\mathrm{AuxN}} \tag{4.11}$$

Ayrıca güç faktörü tüm toplayıcı diyot devreleri için aynıdır. Bu nedenlerden dolayı, güç dağılımı yüzdesi, RMS gerilimi dağılımına eşittir.

Eşitlik 4.10 ve Eşitlik 4.11 eşitliklerinden

$$\left(V^1_{\mathrm{RMS}}\right)_{\mathrm{LOAD}} = \left(V^1_{\mathrm{RMS}}\right)_{\mathrm{MAIN}} + \left(V^1_{\mathrm{RMS}}\right)_{\mathrm{Aux1}} + \cdots + \left(V^1_{\mathrm{RMS}}\right)_{\mathrm{Aux}N} \tag{4.12}$$

veya

$$\left(V^1_{MAX}\right)_{\mathrm{LOAD}} = \left(V^1_{MAX}\right)_{\mathrm{MAIN}} + \left(V^1_{MAX}\right)_{\mathrm{Aux1}} + \cdots + \left(V^1_{MAX}\right)_{\mathrm{Aux}N} \tag{4.13}$$

Toplayıcı diyot devre birimleri 2^N bir güçle ölçeklendiğinden, Şekil 4.42'de gösterildiği gibi her seviyenin boyutu $V_{DA}/2^N$ 'dir. Fourier serisi ayrışımı kullanılarak her gerilim kaynağının adım adım integrali ile hesaplanır.

$$\begin{aligned}(V^1_{MAX})_{LOAD} &= \frac{8}{\omega T}\cdot\frac{Vdc}{2^{N+1}-1} \\ x&\left(\int_{\omega t=0}^{\omega t=1} V_{MAIN}\cos(\omega t)d\omega t + \int_{\omega t=0}^{\omega t=1} V_{AUX-1}\cos(\omega t)d\omega t\right. \\ &\left.+\int_{\omega t=0}^{\omega t=1} V_{AUX-2}\cos(\omega t)d\omega t + \int_{\omega t=0}^{\omega t=1} V_{AUX-3}\cos(\omega t)d\omega t\right)\end{aligned} \tag{4.14}$$

Tüm kaynakların temel gerilimi, 0'dan π/2'ye integrali alınarak bulunur.

$$\begin{aligned}(V^1_{MAX})_{MAIN} &= \frac{8}{15}\cdot\frac{4Vdc}{\pi}\int_{\omega t=0}^{\omega t=\cos^{-1}\left(\frac{15}{31}\right)}\cos(\omega t)d\omega t \\ &= 1.07Vdc\end{aligned} \tag{4.15}$$

$$(V_{MAX}^{1})_{AUX-1} = \frac{4}{15} x \frac{4Vdc}{\pi}$$

$$x\left(\int_{\omega t=0}^{\omega t=\cos^{-1}\left(\frac{23}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{15}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{7}{31}\right)} \cos(\omega t)d\omega t\right) \tag{4.16}$$

$$= 0.5Vdc$$

$$(V_{MAX}^{1})_{AUX-2} = \frac{2}{15} x \frac{4Vdc}{\pi}$$

$$x\left(\begin{array}{l}\int_{\omega t=0}^{\omega t=\cos^{-1}\left(\frac{27}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{23}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{19}{31}\right)} \cos(\omega t)d\omega t \\ + \int_{\omega t=\cos^{-1}\left(\frac{15}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{11}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{7}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{3}{31}\right)} \cos(\omega t)d\omega t\end{array}\right) \tag{4.17}$$

$$= 0.24Vdc$$

$$(V_{MAX}^{1})_{AUX-3} = \frac{1}{15} x \frac{4Vdc}{\pi}$$

$$x\left(\begin{array}{l}\int_{\omega t=0}^{\omega t=\cos^{-1}\left(\frac{29}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{27}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{25}{31}\right)} \cos(\omega t)d\omega t \\ + \int_{\omega t=\cos^{-1}\left(\frac{23}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{21}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{19}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{17}{31}\right)} \cos(\omega t)d\omega t \\ + \int_{\omega t=\cos^{-1}\left(\frac{15}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{13}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{11}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{9}{31}\right)} \cos(\omega t)d\omega t \\ + \int_{\omega t=\cos^{-1}\left(\frac{7}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{5}{31}\right)} \cos(\omega t)d\omega t + \int_{\omega t=\cos^{-1}\left(\frac{3}{31}\right)}^{\omega t=\cos^{-1}\left(\frac{1}{31}\right)} \cos(\omega t)d\omega t\end{array}\right) \tag{4.18}$$

$$= 0.11Vdc$$

Eşitlik 4.15, 4.16, 4.17 ve 4.18 denklemlerinden

$$\begin{aligned}
&\frac{(V_{MAX}^{1})_{MAIN}}{(V_{MAX}^{1})_{LOAD}} = \frac{1.07}{1.93} = 0.55 \\
&\frac{(V_{MAX}^{1})_{AUX-1}}{(V_{MAX}^{1})_{LOAD}} = \frac{0.5}{1.93} = 0.26 \\
&\frac{(V_{MAX}^{1})_{AUX-2}}{(V_{MAX}^{1})_{LOAD}} = \frac{0.24}{1.93} = 0.12 \\
&\frac{(V_{MAX}^{1})_{AUX-3}}{(V_{MAX}^{1})_{LOAD}} = \frac{0.11}{1.93} = 0.06
\end{aligned} \tag{4.19}$$

Teorik olarak, eğer AUX birimlerinin sayısı sonsuza giderse, N →∞

$$\begin{aligned}
&(V_{MAX}^{1})_{MAIN}\,|^{N=\infty} = \frac{2^{N}}{2^{N+1}-1}\cdot\frac{4Vdc}{\pi}\int_{\omega t=0}^{\omega t=\cos^{-1}\left(\frac{2^{N+1}}{2^{N+2}}\right)}\cos(\omega t)d\omega t \\
&= 1.047Vdc
\end{aligned} \tag{4.20}$$

$$\begin{aligned}
&(V_{MAX}^{1})_{LOAD}\,|^{N=\infty} = \frac{4Vdc}{2^{N}\pi}\sum_{j=0}^{j=\infty}\int_{\omega t=0}^{\omega t=\cos^{-1}(0)}\cos(\omega t)d\omega t \\
&= 2Vdc
\end{aligned} \tag{4.21}$$

Asimetrik üç köprülü 31 seviyeli dönüştürücü için toplam gücün %55'i ana hücreden gelir. N→∞ durumunda, ana hücreden yüke gelen minimum güç miktarı:

$$\frac{(V_{MAX}^{1})_{MAIN}}{(V_{MAX}^{1})_{LOAD}}\,|^{N=\infty} = \frac{1.047}{2} \cong 0.52 \tag{4.22}$$

Ana devreler tam gücün en az %52'sini aldığından, tüm AUX devrelerden sağlanan toplam güç en fazla %48 olacaktır. Bu durumda, önerilen topolojinin tüm AUX gerilimleri için küçük ve ucuz bir HFL kullanılabilir. HFL, bir H-köprüsü ile yalıtılmış bir transformatöre bir kare gerilim sağlayarak kullanılır. HFL, sistemdeki tüm izole gerilimleri elde eder.

4.4 Genişletme Topolojisi

Toplayıcı diyot yapısı içeren toplayıcı devre modüler yapısı medeniyle genişletilebilmektedir. Bu çalışmada kullanılan modül sayısı (n) ve seviye sayısı (N_L) olmak üzere genişletme denklemleri Çizelge 4.2'de sunulmuştur.

Çizelge 4.2 Genişletme Denklemleri

Bileşen Türü	Modül Sayısına Göre	Seviye Sayısına Göre
N_L	$2^{n+2}-1$	N_L
N_{SW}	$n+9$	$\log_2(\frac{N_L+1}{4})+9$
N_{DA}	1	1
N_{DD}	5n + 1	$5\log_2(\frac{N_L+1}{4})+1$
TSV	5.2^n-1	14

Modül sayısı ve çıkışta sentezlenen seviye sayısına göre gerilim kaynağı sayısı (N_{DA}), çıkış seviye sayısı (N_L), anahtar sayısı (N_{sw}), ayrık diyot sayısı (N_{DD}) ve TSV tabloda görülmektedir. Toplayıcı ve H-köprü devresindeki TSV aşağıdaki gibi hesaplanır.

Toplayıcı Devredeki Anahtarlar

Toplayıcı devredeki her anahtar bulunduğu modüldeki DA gerilim kaynağını bloklayacağından tüm modüllerdeki bloklama gerilimlerini yazarsak;

$$\left.\begin{array}{c} V_{S1}=1V \\ V_{S2}=2V \\ V_{S3}=4V \\ \vdots \\ V_{Sn}=2^{n-1}V \end{array}\right\} \tag{4.23}$$

Toplam bloklama gerilimi Eşitlik 4.23'teki n tane anahtara ait bloklama gerilimlerinin toplamı olacaktır.

$$TSV_1=\sum_{i=1}^{n}(2^{i-1})V_{DA}=\left(2^n-1\right)V_{DA} \tag{4.24}$$

H-köprülerdeki Anahtarlar

H-köprüdeki her anahtar toplayıcı devrenin uçlarına bağlı olduğundan tüm anahtarlarda maksimum DA bara gerilimini bloklamaktadırlar. Maksimum DA bara gerilimleri toplayıcı devresindeki tüm gerilim kaynaklarının toplamına eşit olduğundan H-köprüde toplam 4 anahtar olduğundan toplam bloklama gerilimi;

$$TSV_2 = 4 \cdot (2^n - 1)V_{DA} \tag{4.25}$$

HFL'de kullanılan H-köprüde toplam 4 anahtar olduğundan TSV;

$$\begin{aligned} &V_{S_{L1}} = V_{S_{L2}} = V_{S_{L3}} = V_{S_{L4}} = V_{DA} \\ &TSV_3 = 4V_{DA} \end{aligned} \tag{4.26}$$

TSV, toplayıcı devre ve H-köprülerin toplamına eşit olacaktır.

$$TSV = TSV_1 + TSV_2 + TSV_3 = \left(5 \cdot (2^n - 1) + 4\right)V_{DA} \tag{4.27}$$

4.5 Kullanılan Yükler

Önerilen ÇSE'nin saf rezistif yükteki performansı incelemek için ayarlı bir direnç her bir faza ayrı ayrı bağlanmıştır. Eviricinin düşük güç faktörlerdeki durumları için indüktif yük eklenmiştir. Son olarak bir kapasitif yük paralel olarak bağlanarak evirici incelenmiştir. Ayrıca 3 fazlı bir asenkron motor bağlanarak ve tork verilerek kapasitif filtreli ve filtresiz olarak motorun çıkış akımı ve gerilimi gözlenmiştir.

4.5.1 Direnç

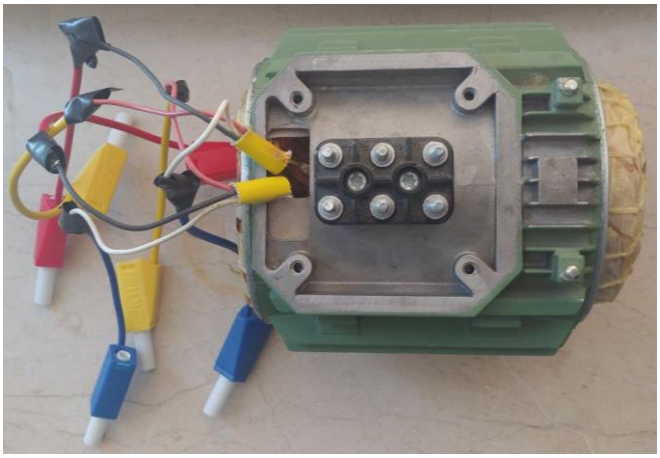
Eviricinin çıkış gerilimindeki basamakların net olarak görünmesi için yük olarak direnç kullanılmıştır. Eviricinin çıkış akımı çıkış gerilimine karşı doğrudan lineer bir ilişki içinde olduğu için hesaplamalar için en uygun yüktür. Deneylerde kullanılan direnç Şekil 4.43'te gösterilmiştir.

Şekil 4.43 Deneyde kullanılan ayarlı direnç

Şekil 4.43'te gösterilen direnç 0-150Ω arasında değişebilen ve 2.5A akım geçirebilme potansiyeline sahiptir. Ayarlanabilir olması sebebiyle güç anahtarlamalarından geçen akımın sınırlı tutulması sağlanmıştır.

4.5.2 İndüktif Filtre

Belli bir güçte evirici çıkış basamak formunun THB'sini sıfırlamak için gerekli indüktif yükün minimum değeri eviricinin kalitesini belirleyen faktörlerin başında gelir. Ayrıca saf rezistif yüke bağlanan indüktif filtre, eviricinin çıkışına motor bağlanmış gibi sonuç verir. Bu da eviricinin kalitesini belirleyen bir başka etmendir. Deneysel çalışmalarda kullanılan indüktif filtre ve Şekil 4.44'te gösterilmiştir.

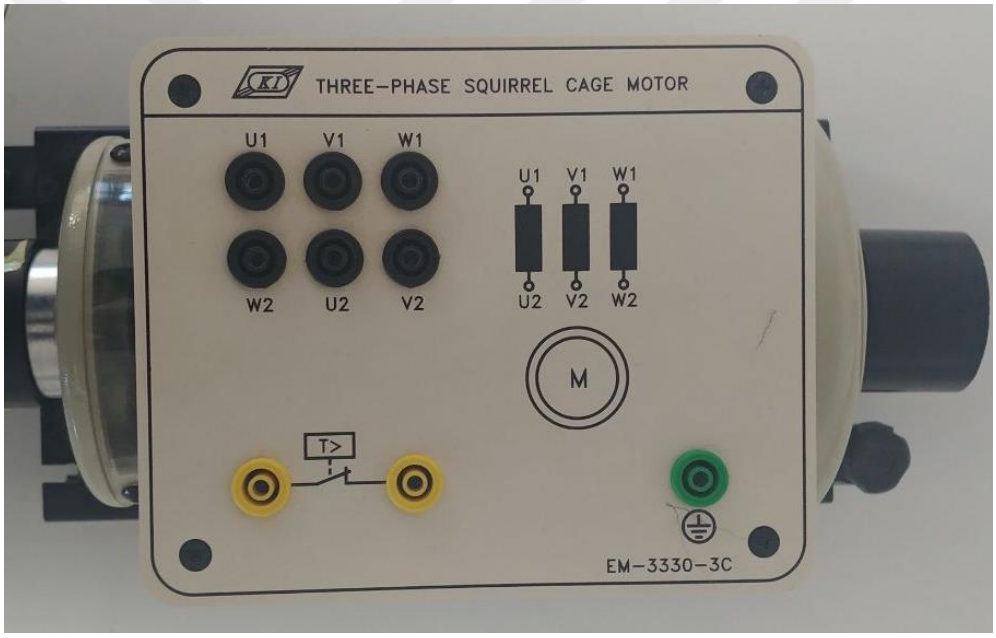


Şekil 4.44 Deneyde kullanılan indüktif filtre

Şekil 4.44’te indüktif yük olarak kullanılan filtre bir asenkron motor sargılarıdır. Her bir sargının endüktansı 42mH olarak ölçülmüştür. Sonuçta asenkron motor için tasarlanan bu sargılar ayrı ayrı bağlanacak bir filtrenin tam özelliğini gösteremese bile deneyin amacını gerçekleştirmiştir.

4.5.3 Asenkron Motor

Deneyde kullanılan motor Elektrik Makineleri laboratuvar dersi için üretilmiş 3-fazlı sincap kafesli asenkron motordur. Şekil 4.45’te gösterilen motor 300W nominal güce sahiptir ve 1700 RPM hızda nominal olarak çalışmaktadır.

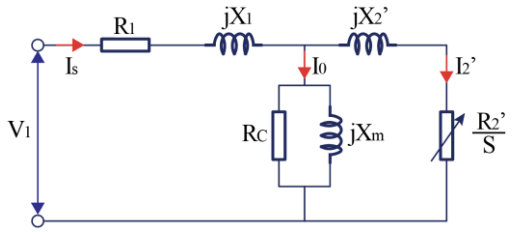


Şekil 4.45 Deneyde kullanılan asenkron motor

Şekil 4.45’te gösterilen motorun benzetim çalışmaları için gerekli parametreleri belli olmadığı için yüksüz durum testi ve kilitli rotor testi yapılmıştır.

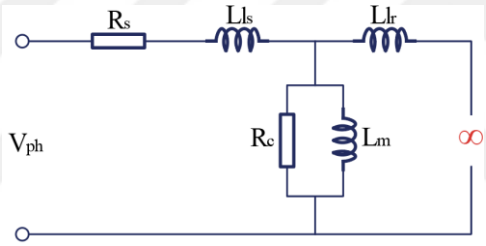
Yüksüz durum testi

Asenkron motorun primer yansıtılmış eşdeğer devresi Şekil 4.46’da gösterilmiştir. Bu devre, motorun statorunda oluşan manyetik alanı ve stator akımını modellemek için kullanılır.



Şekil 4.46 Asenkron motor primere yansıtılmış eşdeğer devresi

Yüksüz test, akım ve dönme kayıpları hakkında bilgi sağlayan bir testtir ve bir transformatördeki açık devre testine benzer. Bu test, stator sargılarına dengeli anma gerilimi uygulanarak anma frekansında gerçekleştirilir. Test sırasında makineye küçük bir güç uygulanır ve bu güç, çekirdek kayıpları, sürtünme ve sarım kayıplarından kaynaklanır. Makine hemen hemen senkronize bir hızda döner, bu da kaymayı neredeyse sıfıra indirir. Şekil 4.47'de gösterildiği gibi bu test, bir eşdeğer devre ile temsil edilir.



Şekil 4.47 Yüksüz durumda primere yansıtılmış eşdeğer devresi

Bu test sırasında ölçülen değerler akım ve bilinen gerilime göre açısıdır. Buradan makineye sağlanan toplam gücü hesaplayabiliriz. Ölçülen değerler Çizelge 4.3'te gösterilmiştir.

Çizelge 4.3 Yüksüz durum motor parametreleri

Parametreler	Değerler
Vfaz-faz	220V
I_0	0.292A
Güç Faktörü	0.505
Frekans	50Hz
P	56W
Hız	1467 RPM

R_c'nin R_s ve X_{lr}'den çok daha büyük olduğunu varsayarsak, eşdeğer devreden R_c ve L_m'yi hesaplayabiliriz. Formüller ve tam hesaplamalar aşağıda gösterilmiştir.

$$\cos(\varphi_0) = \frac{P_{faz-nötr}}{V_{faz-nötr} \cdot I_0} = \frac{56/3}{220/\sqrt{3} \cdot 0.292} = 0.503 \tag{4.28}$$

$$\varphi_0 = \cos^{-1}(0.505) = 59.66^o \tag{4.29}$$

$$I_m = I_0.\sin(\varphi_0) = I_0.\sin(59.66^o) = 0.252A \tag{4.30}$$

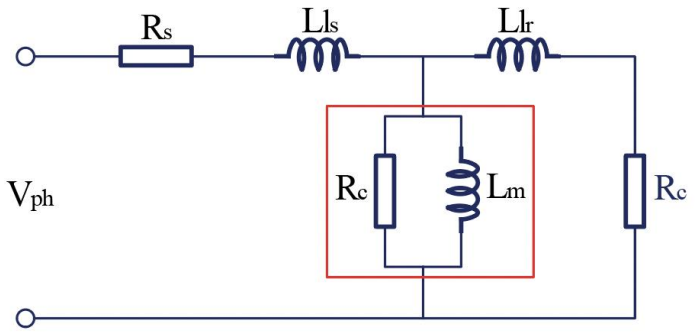
$$I_c = I_0.\cos(\varphi_0) = I_0.\cos(59.66^o) = 1.475A \tag{4.31}$$

$$L_m = \frac{V_{faz-nötr}}{2 \cdot \pi \cdot f_s \cdot I_m} = \frac{220/\sqrt{3}}{2 \cdot \pi \cdot 50 \cdot 0.252} = 1.6H \tag{4.32}$$

$$R_c = \frac{V_{faz-nötr}}{I_c} = \frac{220/\sqrt{3}}{0.1475} = 861\Omega \tag{4.33}$$

Kilitli rotor testi

Bir transformatördeki kısa devre testi gibi kilitli rotor testi, kaçak empedanslar ve rotor direnci hakkında bilgi sağlar. Nominal akımı dolaştırmak için stator sargılarına düşük gerilim uygulanırken rotor hareketsizdir. Dönme kayması olmadığı için s=1 eşdeğer devre Şekil 4.48'de gösterildiği gibi olur.



Şekil 4.48 Kilitli durumda primere yansıtılmış eşdeğer devresi

R_r'nin R_c'den çok daha az olduğuna dikkat edin, böylece devrenin o kısmı göz ardı edilir. Kilitli rotor testi sırasında ölçülen değerler Çizelge 4.4'de gösterilmektedir.

Çizelge 4.4 Kilitli rotor testi parametre değerleri

Parametreler	Değerler
$V_{faz\text{-}faz}$	47.8V
I_0	0.394A
Güç Faktörü	0.849
Frekans	50Hz
P	27W
Hız	1467 RPM

R_c'nin R_s ve X_{lr}'den çok daha büyük olduğunu varsayarsak, eşdeğer devreden R_c ve L_m'yi hesaplayabiliriz. Formüller ve tam hesaplamalar aşağıda gösterilmiştir.

$$\cos(\varphi_{sc}) = \frac{P_{faz-nötr}}{V_{faz-nötr} \cdot I_{sc}} = \frac{27.9/3}{47.8/\sqrt{3} \cdot 0.394} = 0.855 \tag{4.34}$$

$$\varphi_{sc} = \cos^{-1}(0.849) = 31.9^o \tag{4.35}$$

$$Z_{sc} = \frac{V_{faz-nötr}}{I_{sc}} = \frac{47.8/\sqrt{3}}{0.394} = 66\Omega \tag{4.36}$$

$$R_r = Z_{sc} \cdot \cos(\varphi_{sc}) - R_s = 66 \cdot 0.849 - 36 = 20\Omega \tag{4.37}$$

$$X_{eq} = Z_{sc} \cdot \sin(\varphi_{sc}) = 66 \cdot \sin(31.9^o) = 34.87\Omega \tag{4.38}$$

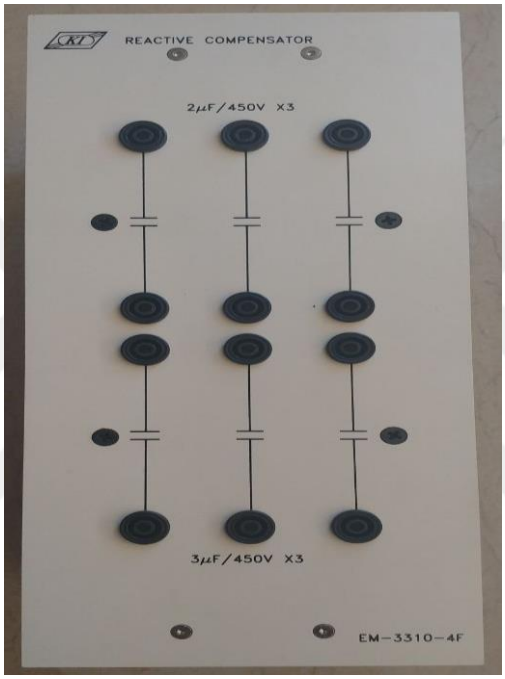
$$X_{eq} = X_{ls} + X_{lr} \tag{4.39}$$

$$X_{ls} = X_{lr} = 17.437\Omega \tag{4.40}$$

$$L_{ls} = L_{lr} = \frac{X_{ls}}{2 \cdot \pi \cdot f_s} = 0.0555H \tag{4.41}$$

4.5.4 Kapasitif Filtre

Kapasitif filtreler genel olarak, yüksek frekanslı harmonik bileşenlerin düşürülmesinde kullanılarak, saf sinüse benzer bir çıkış gerilimi elde edilmesini sağlar. Bu tez çalışmasında ise yük olarak motor kullanılınca ana topolojiden dolayı oluşan sıfır geçiş sıçramalarını yok etmek için kullanılmıştır. Deneysel çalışmalarda filtre olarak kullanılan kapasitör Şekil 4.49'da gösterilmiştir.



Şekil 4.49 Deneyde kullanılan kapasitif filtre

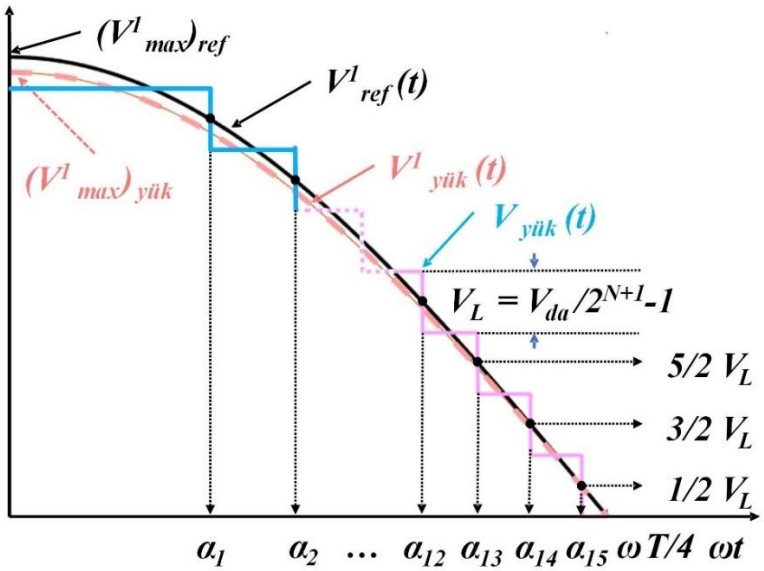
Şekil 4.49'da gösterilen kapasitif filtre üçer adet 2μF ve 3μF kapasitöre sahiptir. Deneysel çalışmalarda 2μF ve 3μF paralel olarak kullanılarak 5μF 3 faz olarak kullanılmıştır. Bu kapasitör 450V AA gerilimde çalışabilmektedir.

4.6 Kontrol Yöntemleri

Anahtarlama zamanlamalarını doğru bir şekilde kontrol ederek, çok seviyeli eviriciler daha düşük bozulma ve daha yüksek gerilim çözünürlüğü elde edebilir. Ayrıca verimli anahtarlama kontrolü, sürücü içindeki güç kayıplarını en aza indirir. Bu çalışmada NLC ve SPWM kontrol yöntemleri incelenecektir.

4.6.1 En Yakın Seviye Kontrolü

ÇSE'lerde en yakın seviye kontrolü, evirici çıkış gerilimini girilen referans değere yakın tutmak için güç anahtarlarının tetiklenmesidir. NLC, temel anahtarlama frekansı içerdiği için genel verimliliği artırır. Bu kontrol stratejisi ile evirici çıkışında yüksek kaliteli ve daha az harmonik içeren bir dalga formu elde edilerek mükemmel dinamik performans sunar. NLC Şekil 4.50'de gösterildiği gibi referans gerilime en yakın gerilim seviyesi uygulamasıdır.



Şekil 4.50 Önerilen topolojinin NLC kontrol ile anahtarlama açıları

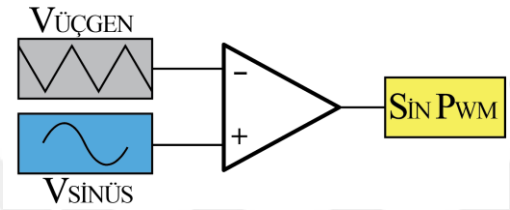
Şekil 4.50'de referans sinyal adım aralığının yarısından fazla olarak alınır. Oluşan basamaklı sinyalin eşit olan adım aralığının yarısı her zaman referans sinyali keser. Örneğin pozitif olarak 5 birim adım aralıklı bir çıkış için referans sinyali genliği 5.5 birim olan bir kosinüs formu ile oluşturulur. NLC için anahtarlama açıları Eşitlik 4.42'deki formüle göre bulunur.

$$\alpha_i = \cos^{-1}\left(\frac{2^{N+2}-1-2i}{2^{N+2}-1}\right) \tag{4.28}$$

burada i = 1, 2, …, 2N-1 ve burada N, AUX birimlerinin sayısıdır.

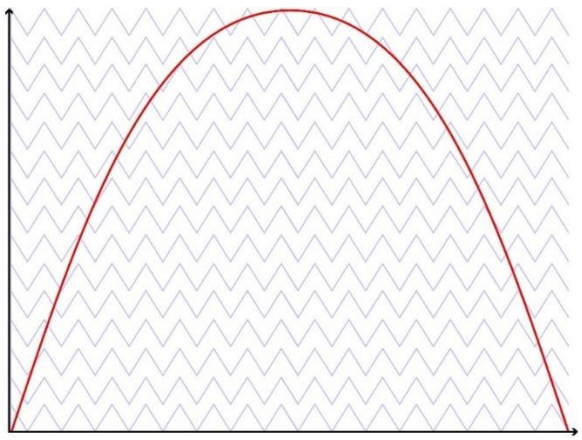
4.6.2 Sinüzoidal Darbe Genişlik Modülasyonu

SPWM kontrol yönteminin çalışma prensibi f_c ile ifade edilen yüksek frekanslı taşıyıcı üçgen sinyal ve f_m ile ifade edilen düşük frekanslı modüle edici sinüzoidal sinyalin birbirleriyle karşılaştırılmasıdır. Modüle edici sinüzoidal sinyalin frekansı eviricinin çıkışındaki gerilim sinyalin frekansını belirler ve anahtarlama frekansı taşıyıcı üçgen sinyalin frekansıyla aynıdır (Kabalci vd., 2011). Şekil 4.51'de SPWM kontrol yönteminin blok şeması gösterilmiştir.



Şekil 4.51 SPWM yönteminin blok şeması

Şekil 4.51'deki taşıyıcı üçgen sinyalin sinüzoidal referans sinyalinden büyük olduğu durumdaki unipolar PWM sinyallerinde, V_L yük gerilimi $0 \leq \omega t \leq \pi$ zaman aralığında pozitif tepe ile sıfır arasında bir değer alır ve $\pi \leq \omega t \leq 2\pi$ zaman aralığında negatif tepe ile sıfır arasında değer alır. Bu çalışmada seviye kaydırmalı SPWM yöntemi kullanılmıştır. Önerilen topoloji 31 seviye ürettiği için gerekli 15 tane taşıyıcı sinyal Şekil 4.52'de gösterilmiştir.



Şekil 4.52 Seviye kaydırmalı SPWM taşıyıcıları

Şekil 4.52’deki sinüs sinyali 15 birim olarak alındığı durumda her bir taşıyıcı sinyal 1 birim genliğe sahip olur ve 1 birim kaydırılma ile oluşur. Bir kıyaslayıcı yardımıyla bu sinyaller kıyaslanır ve SPWM sinyalleri elde edilir. Sinyallerin elde ediliş yöntemi detaylı olarak ilerleyen bölümde verilmiştir.

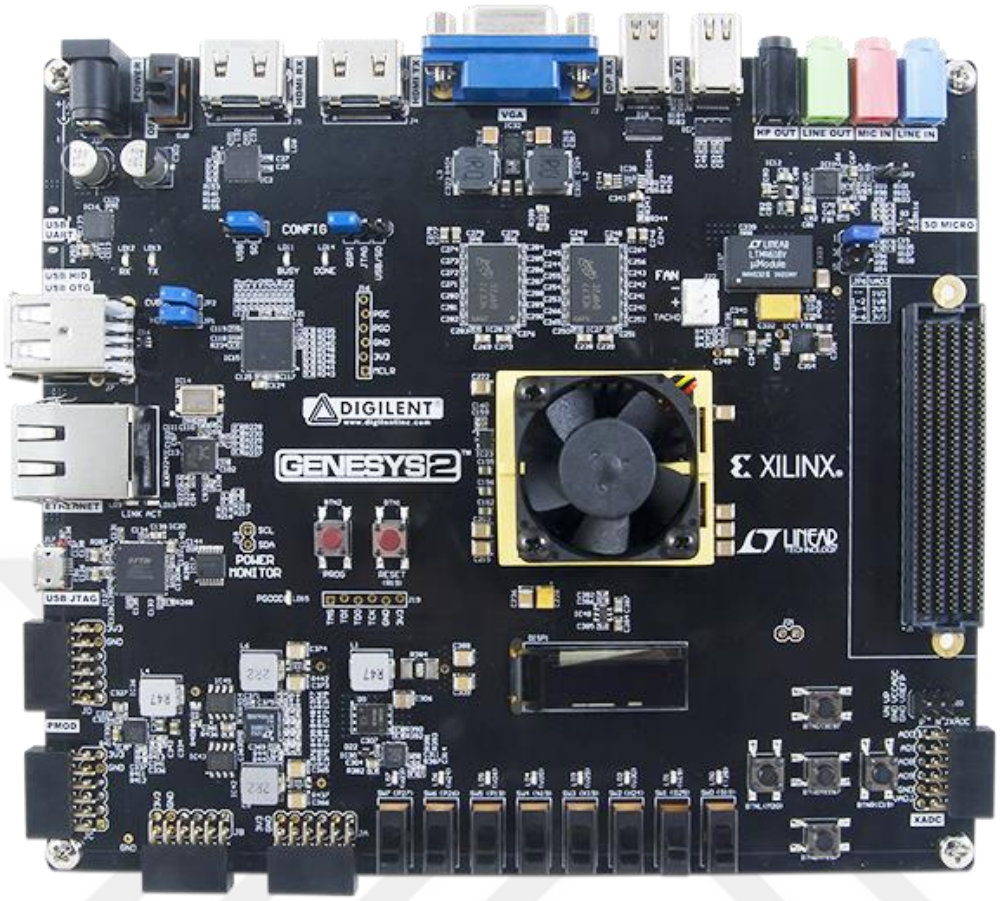
4.7 FPGA

Alanda Programlanabilir Kapı Dizileri (FPGA) paralel işlem yapabilme kabiliyetinden dolayı güç elektroniği uygulamaları için mükemmel bir kontrolcüdür. Tasarımcının ihtiyaç duyduğu modele göre iç yapısı değiştirilerek defalarca kullanılır. Son yıllardaki kullanım oranı üreticilerin kapasite ve çalışma frekansının artırmasını sağlamıştır. Bu da farklı alanlardaki uygulamaların gerçekleştirilebilmesi için yapısal özellikleri geliştirilmiş ve daha fonksiyonel bir hale getirilmiştir (Keskin ve Koyuncu, 2022).

Ancak, gerçek zamanlı kontrol uygulamalarını yüksek performanslı FPGA ile gerçekleştirmek yetenekli araştırmacılar veya mühendisler için bile zor bulunmuştur. Donanım tanımlama dilinde (HDL) özel eğitim gerektiren FPGA kontrolörlerdeki karmaşıklık seviyesinin artmasıyla birlikte, prototip geliştirmek zaman alıcı ve yorucu olarak nitelendirilmiştir.

FPGA, Xilinx System Generator (XSG) adı altında mühendislerin yatkın olduğu Matlab programı ile entegre edilmiştir. Güç elektroniğinde kullanılan diğer kontrolörler, genellikle mikrodenetleyicilere ve DSP'lere dayalıdır. XSG, HDL bilgisine gerek kalmadan hızlı bir şekilde donanım prototipi tasarlamak, test etmek ve geliştirmek için etkili bir yöntem olmuştur. XSG, Matlab/Simulink bloklarını kullanarak sinyalleri FPGA kartına yüklemeden değerlendirmeye imkân verir. Gerekli düzenlemelerden sonra hızlı bir şekilde VHDL kodunu otomatik olarak üretir (Selvamuthukumaran ve Gupta, 2014).

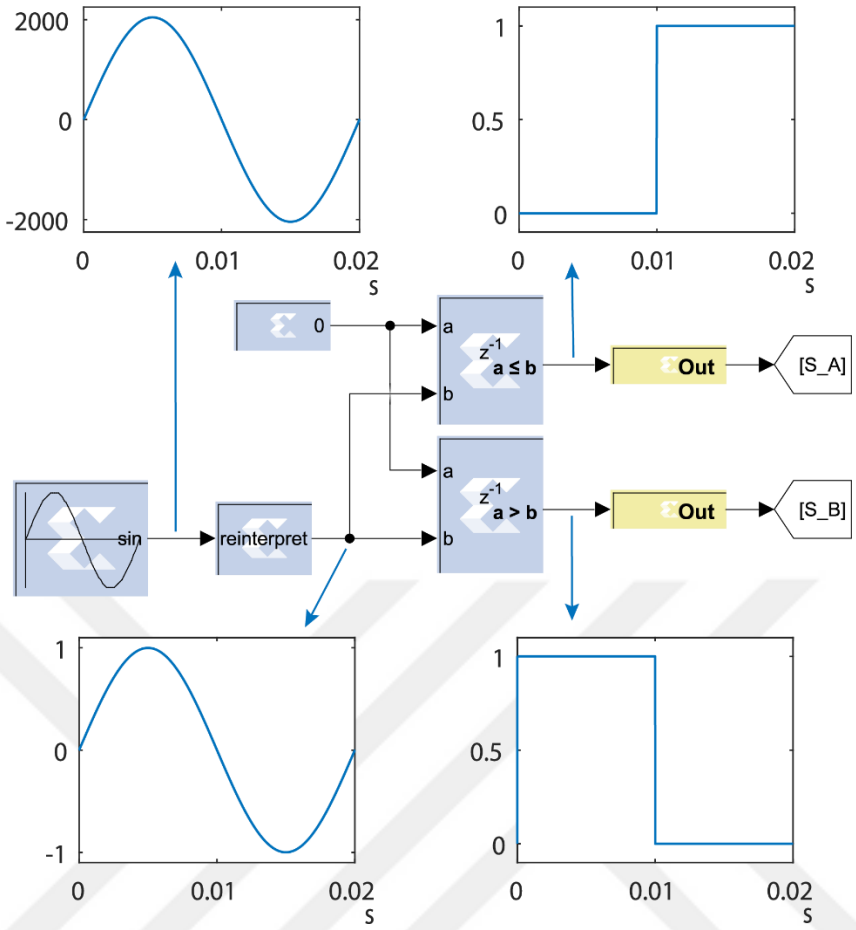
Deneysel çalışmalarda anahtarlama sinyallerini vermek için kullanılan FPGA kartı Şekil 4.53’te gösterilmiştir.



Şekil 4.53 Deneysel çalışmalarda kullanılan Genesys-II FPGA kartı

Şekil 4.53’te görüldüğü gibi kart, güç elektroniği dahil olmak üzere çeşitli uygulamalarda kullanılmak üzere tasarlanmış bir geliştirme kartıdır. Çok çeşitli dijital sinyal işleme algoritmalarını uygulamak için kullanılabilen güçlü bir programlanabilir mantık cihazı olan Xilinx Kintex-7 FPGA'ya sahiptir. Kart ayrıca, yüksek hızlı ADC'ler ve DAC'ler gibi güç elektroniği uygulamaları için yararlı olan bir dizi çevre biriminin yanı sıra Ethernet, USB ve UART gibi bir dizi dijital iletişim arabirimi içerir.

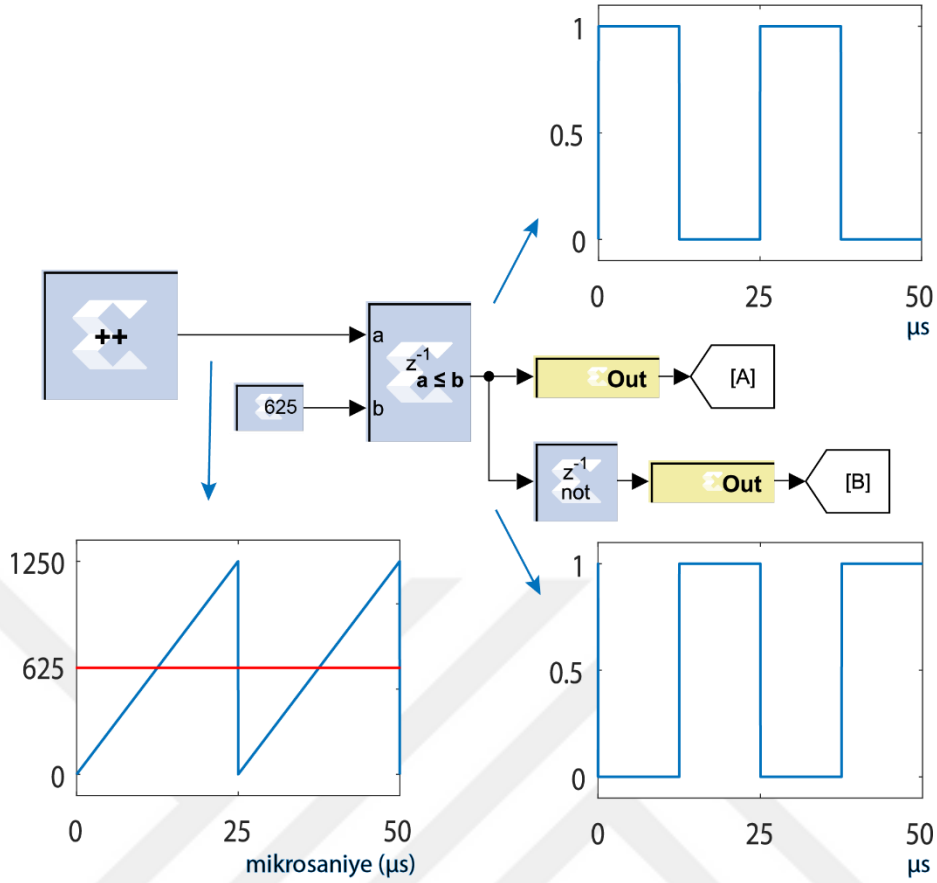
Toplayıcı diyot devresi gerilimlerinin eviricinin frekansına göre evrilmesi H-köprü devresiyle mümkündür. H-köprü sinyallerinin referans sinyalin 0’dan büyüklüğüne göre yapılabilir. Şekil 4.54’te görüldüğü gibi bloklar çıkış olarak toplayıcı devresinin geriliminin pozitif ya da negatif olacağını belirleyen 10 ya da 01 oluşturur.



Şekil 4.54 Evirici çıkışı için H-köprü sinyalleri

Şekil 4.54'te referans sinyalin frekansı eviricinin çıkış frekansına ayarlanır. Çalışmada temel frekans 50Hz olarak alınmıştır. Kullanılan bütün bloklarda örnekleme zamanı 1/50000000 olarak alınmıştır. Frekans ayarlandıktan sonra genliği 2000 birim olan bir sinüs sinyali elde edilir. Reinterpret bloğu ile bu sinüs sinyali -1 ile 1 birim arasına oranlanır. Sinyalin 0'dan büyük ve küçük olma durumuna göre 0 ile 1 birim arasında değişen iki sinyal elde edilir. Bu sinyaller Gateway Out blokları yardımıyla çıkış pin bilgisi girilerek sürücü devresinde yükseltilmek üzere FPGA çıkışlarından elde edilir.

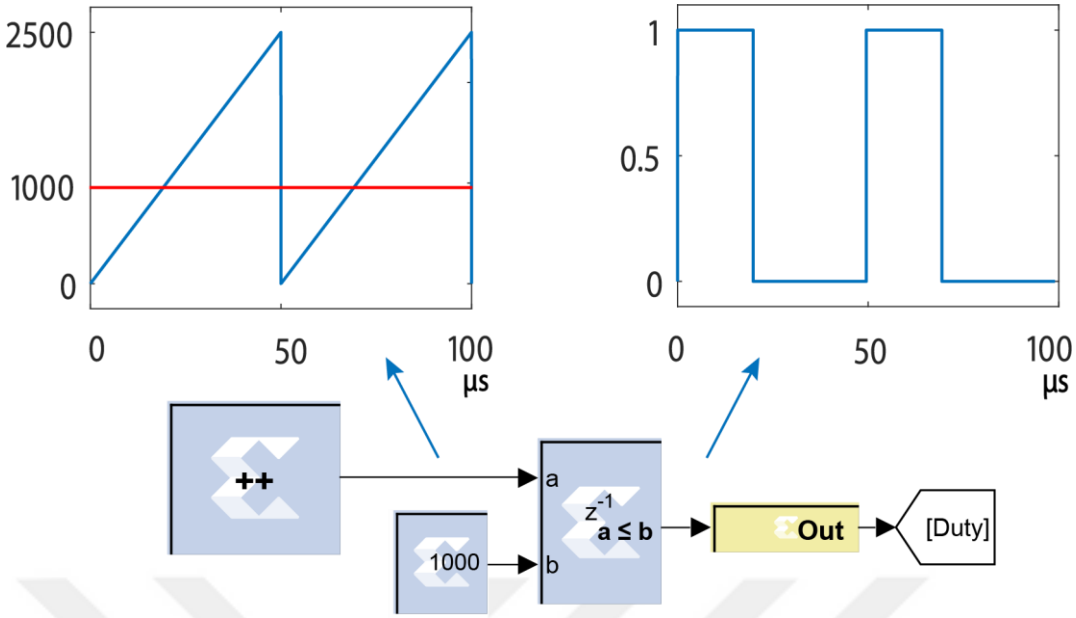
HFL sistemi için %50 görev çarpanına sahip ve birinin eşleniği olan iki sinyal gereklidir. Bu sinyallerin frekansları hesaplamalar sonucu 40kHz olarak belirlenmiştir. Bu sinyalleri oluşturan bloklar Şekil 4.55'te gösterilmiştir.



Şekil 4.55 HFL çıkışı için H-köprü sinyalleri

Şekil 4.55'te HFL çıkışı için referans olarak yine sinüs sinyali kullanılabilir. Fakat sinüs sinyali üretmek maliyetli olduğu için sayıcı kullanmak daha basit bir çözümdür. 40kHz için sayıcının 0'dan başlayarak 1250 birime kadar 25us zaman içinde sayması gerekmektedir. Daha sonra bu sinyal 625 birim ile karşılaştırılır. Sinyalin 625 birimden küçük olduğu yerlerde lojik-1 küçük olduğu yerlerde ise lojik-0 oluşur. Oluşan %50 görev çarpanına sahip sinyal terslenerek eşleniği de oluşturulur. Oluşan eşlenik iki sinyal Gateway blokları ile pin numaraları girilerek FPGA çıkışında gözlemlenir.

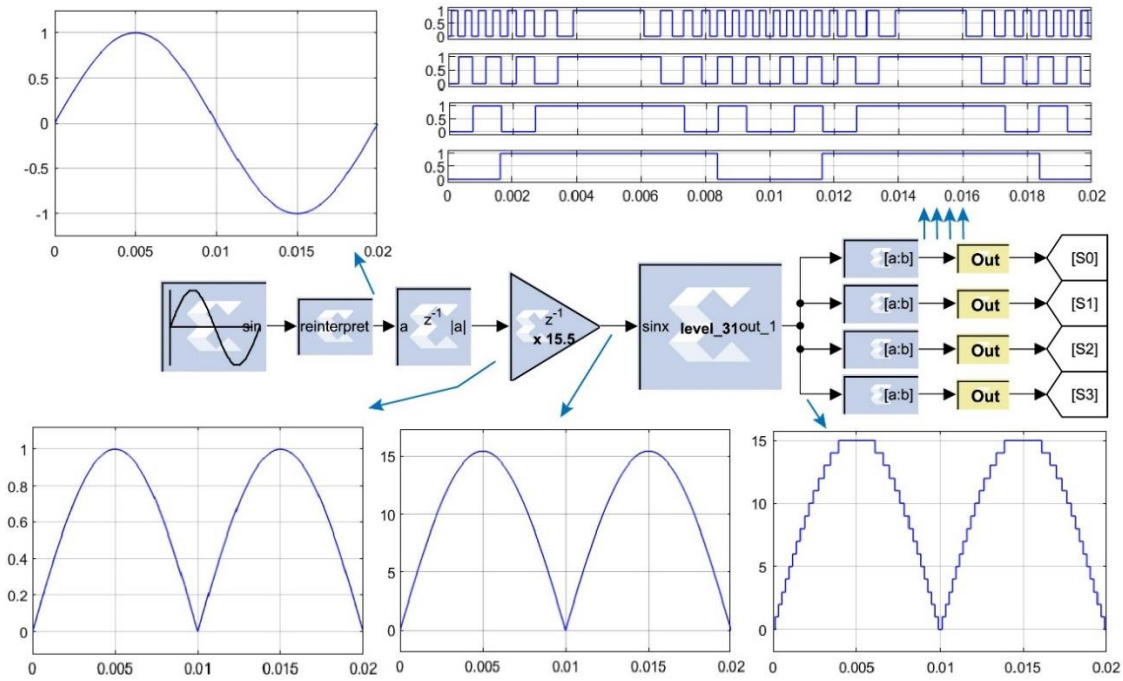
Topolojide kullanılan düşürücü devreyi sürmek için kullanılan sinyalin oluşturulma biçimi Şekil 4.56'da gösterilmiştir. Bu devreye uygulanan sinyal 20kHz olarak belirlenmiştir.



Şekil 4.56 Düşürücü devre sinyali

Şekil 4.56'daki düşürücü devre sinyalini oluşturmak için ilk önce 0 ile 2500 birimi 50us zaman içinde sayan bir sayıcı kullanılır. Şekildeki %40 görev çarpanına sahip sinyal için karşılaştırma bloğuna 1000 birim girilmektedir. Düşürücü devrenin çıkış gerilimine göre gerekli referans sayı 0 ile 2500 birim arasında girilerek sinyal elde edilir ve Gateway bloğu ile FPGA çıkışında gözlemlenir.

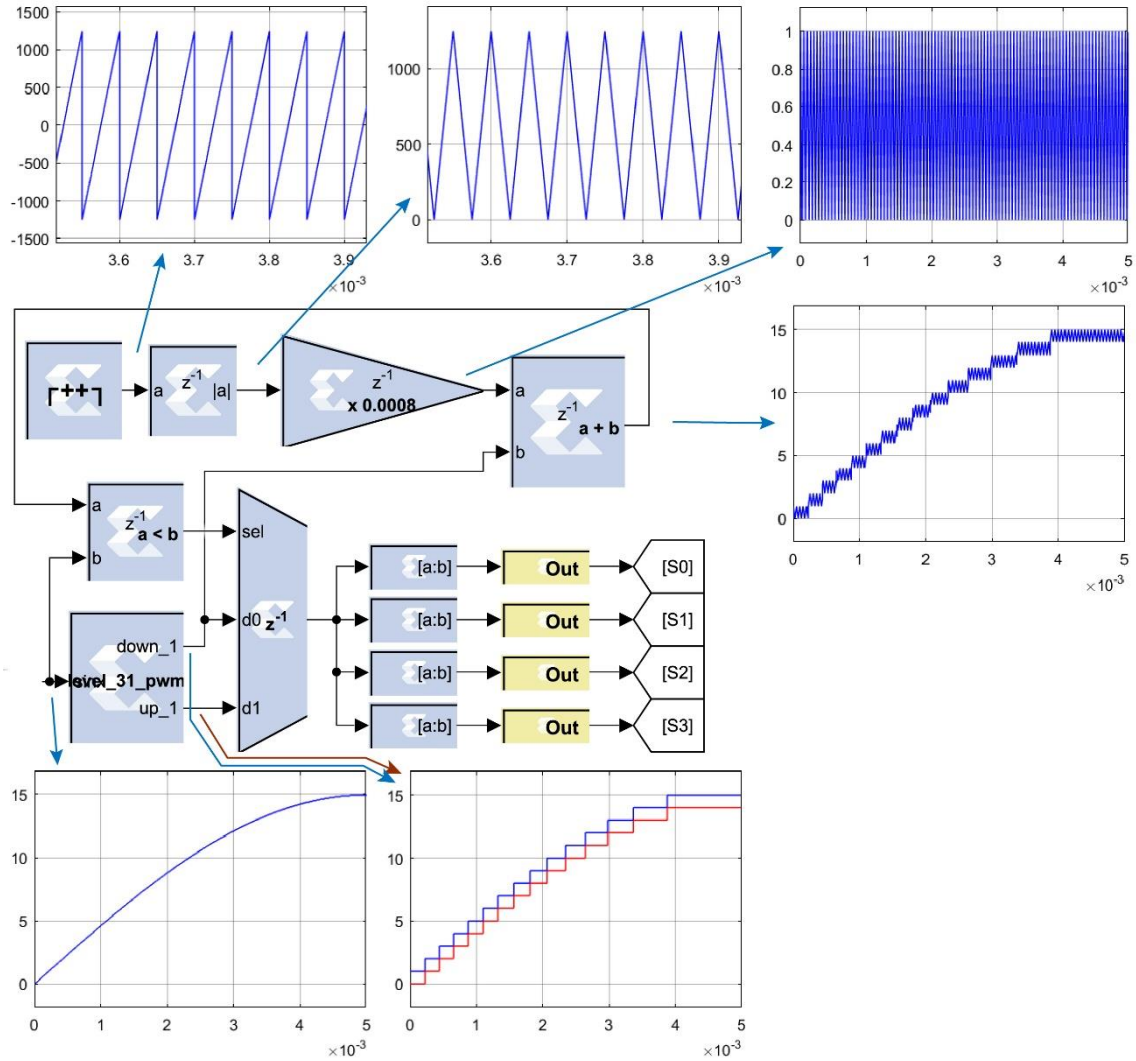
Toplayıcı devre 4 farklı gerilimi topladığı için 4 adet sinyal gereklidir. Bu sinyallerin hangi zaman aralığında hangi seviyeyi vereceği bir ikili sayıyı temsil etmek üzere $S_0S_1S_2S_3$ sayısı belirler. Bu sinyallerin NLC yöntemine göre nasıl elde edildiği Şekil 4.57'de detaylı olarak gösterilmiştir.



Şekil 4.57 NLC'ye göre $S_0S_1S_2S_3$ sinyallerinin elde ediliş blokları

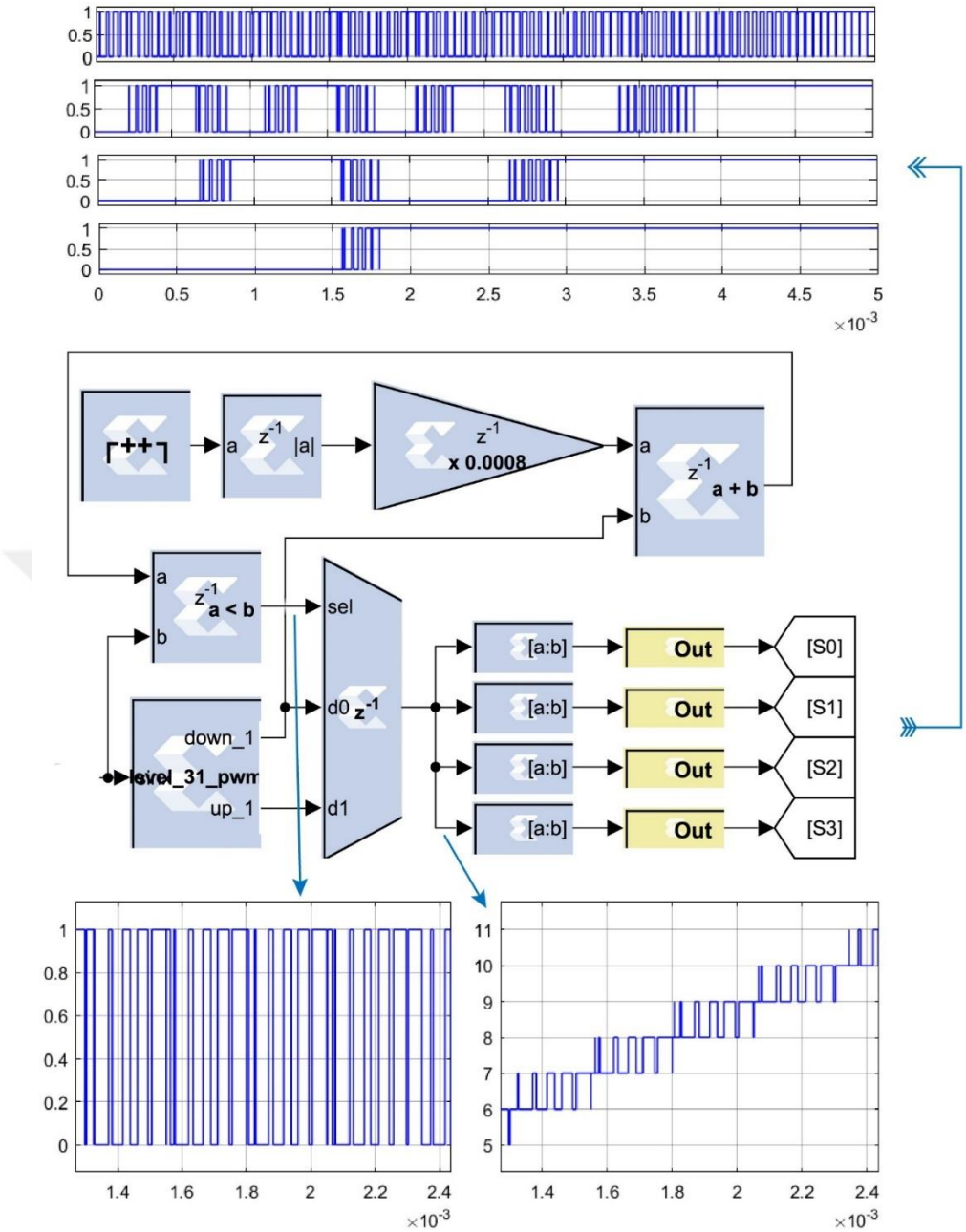
Şekil 4.57'de görüldüğü gibi NLC sinyalleri aşağıdaki adımlar ile elde edilir. Toplayıcı diyot yapısında 4 gerilim kaynağı kullanıldığı için 4 anahtarlama sinyali gereklidir. İlk önce -1 ile 1 birim arasına oranlanmış sinüs sinyalinin mutlak değeri alınır. Bu sinyal NLC gereği çıkış seviyesinin yarısı ile çarpılır ve kodu Ek-a'da verilen Matlab Code bloğuna referans olarak girilir. 15.5 birim olan referans sinyal 15 birim olarak basamaklı olarak elde edilir. Daha sonra Bitslace blokları ile ikilik tabanda ifade edilen basamaklı sinüs 2'nin güçleri olanında bitlerine ayrılır ve Gateway blokları ile FPGA çıkışında gözlemlenir.

Toplayıcı devrenin SPWM kontrolüne göre oluşturulmuş sinyalleri için gerekli bloklar Şekil 4.58 ve 4.59'da gösterilmiştir. NLC yönteminde olduğu gibi bu sinyallerin hangi zaman aralığında hangi seviyeyi vereceği bir ikili sayıyı temsil etmek üzere $S_0S_1S_2S_3$ sayısı belirler.



Şekil 4.58 SPWM'ye göre $S_0S_1S_2S_3$ sinyallerinin elde edilişi-1

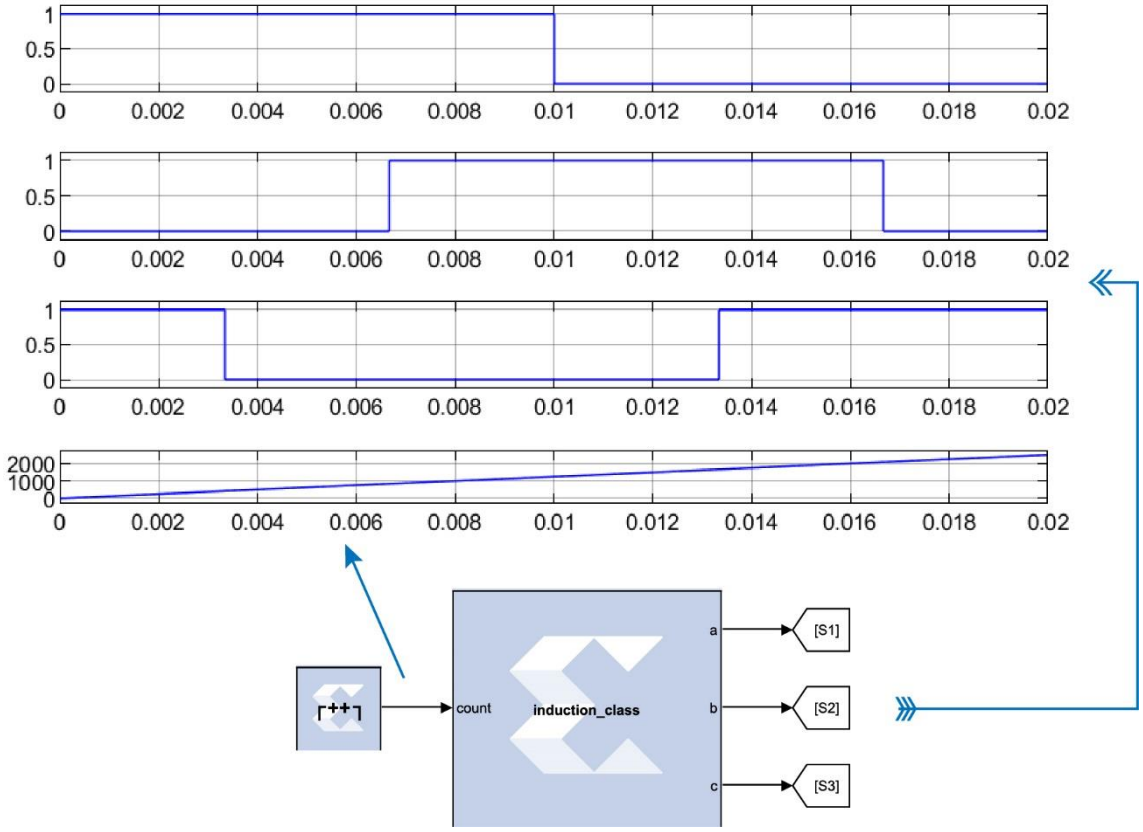
Şekil 4.58'de görüldüğü gibi 20kHz SPWM sinyali oluşturmak için ilk -1250 birim ile 1250 arasında sağa dayalı olarak artan bir sayıcı kullanılır. Bu sinyalin simetrk olarak 0 ile 1 birim arasına oranlanması için mutlak değer ve bir kazanç bloğu eklenir. Daha sonra 0 ile 1 birim arasında değişen testere dişi sinyal ve Ek-b'de verilen kod ile kodlanmış Matlab Code bloğunun çıkışı ile toplanarak basamaklı testere dişi sinyal oluşturulur. Referans sinyal ile basamaklı testere sinyali karşılaştırılarak elde edilen sinyal Mux bloğunun seçici girişine verilir. Bu sinyal Şekil 4.59'da gösterilmiştir.



Şekil 4.59 SPWM'ye göre $S_0S_1S_2S_3$ sinyallerinin elde edilişi-2

Şekil 4.59'da görüldüğü gibi Mux bloğunun girişine ise Matlab Code bloğundan gelen 0'dan 14 birime değişen basamaklı sinüs sinyali ile 1'den 15 birime değişen basamaklı sinüs sinyali verilir. Mux bloğunun çıkışında 4-bit basamaklı PWM sinyali gözlemlenir. Bu sinyal 2'lik bileşenlerine ayrılarakanahtarlama sinyalleri elde edilir. Bu sinyaller Gateway bloklarıyla FPGA çıkışlarında görülür.

Klasik eviricide 6 tane anahtarlama elemanı vardır. Bu anahtarların temel frekansta sürülmesi için gerekli sinyaller Şekil 4.60'da görüldüğü gibi bloklarla oluşturulabilir. Şekil 4.60'da gösterilen Matlab Code bloğunun kodu Ek-c'de verilmiştir.



Şekil 4.60 Klasik eviricinin temel frekans sinyalleri

Şekil 4.60'da sinyaller arasında 120° faz farkı vardır ve sinyaller %50 görev çarpanına sahiptir. Klasik evirici sinyalleri için 0'dan 2000 birime kadar sayan bir sayıcı kullanılır. Daha sonra Matlab Code bloğuna yazılan ve Ek-c'de verilen kod sayıcının üst limiti olan 2000 birimi 6 eşit parçaya böler ve birer parça kaydırarak 3 parça lojik-1 ve 3 parça lojik-0 olarak klasik evirici sinyalleri elde edilir. Bu sinyaller Gateway blokları eklenerek FPGA çıkışında gözlemlenir.

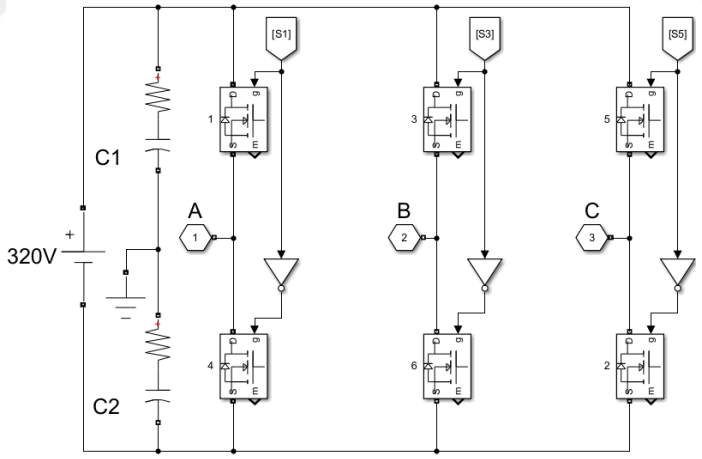
5. BULGULAR VE TARTIŞMA

5.1 Benzetim Sonuçları

Bu bölümde klasik evirici ve çalışmada önerilen 31 seviyeli ÇSE topolojisi kullanılarak tasarlanan eviriciye ait Matlab/Simulink programında yapılan benzetim çalışmaları sunulmuştur. Her iki topoloji için de yük olarak hem rezistif hem de rezistif-reaktif (asenkron motor) kullanılmıştır. İlerleyen kısımlarda klasik evirici ve çalışmada önerilen ÇSE benzetim sonuçları verilmiştir. Daha sonra her iki eviricinin benzetim çalışmasında elde edilen sonuçlar karşılaştırmalı olarak sunulmuştur.

5.1.1 Klasik Evirici Benzetim Sonuçları

Çalışmada kullanılan 3-fazlı klasik evirici devresi blok yapısı Şekil 5.1'de verilmiştir.

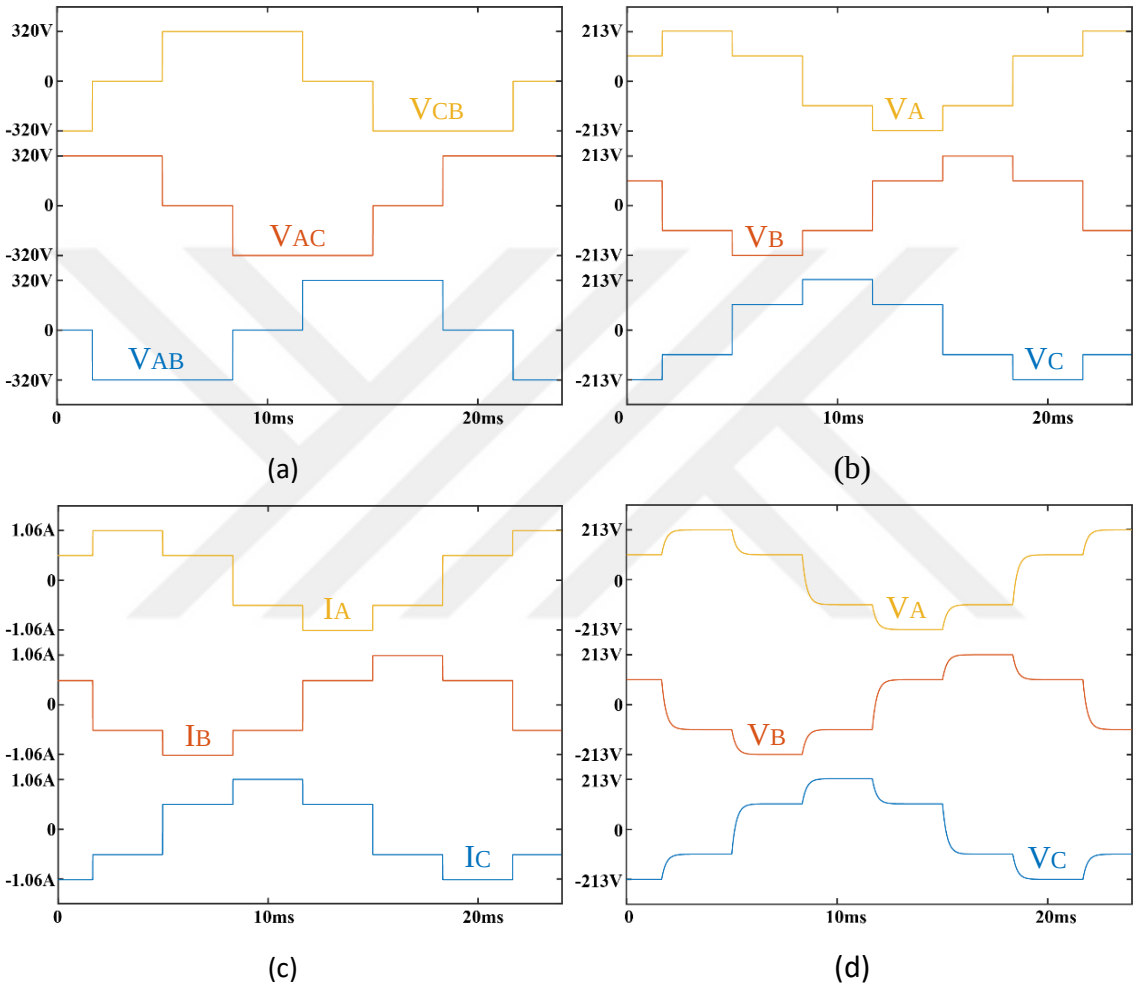


Şekil 5.1 Klasik evirici devresi Matlab/Simulink blok yapısı

Şekil 5.1'de görüldüğü gibi bir 320V DA kaynak ve her faz için bir yarım H-köprü devresi kullanılmaktadır. Benzetim çalışmasında nötr noktası oluşturmak için çok düşük direnç değerli C_1 ve C_2 kapasitörleri kullanılmıştır. A, B ve C faz çıkışlarına bağlanan yük 200Ω'lık direnç ve parametreleri Ek1'de verilen asenkron motor modeli

kullanılmıştır. Evirici çıkışına bağlanan yük yıldız olarak bağlanmıştır. Ayrıca saf rezistif yük çıkışı filtresiz ve 42mH'lik indüktif filtre kullanılarak gözlenmiştir.

Benzetim çalışmasında elde edilen saf rezistif hat gerilimleri, saf rezistif yük faz gerilimleri, saf rezistif yük faz akımı ve saf rezistif yükte indüktif filtre kullanılarak elde edilen faz gerilimlerine ait grafikler Şekil 5.2'de verilmiştir.



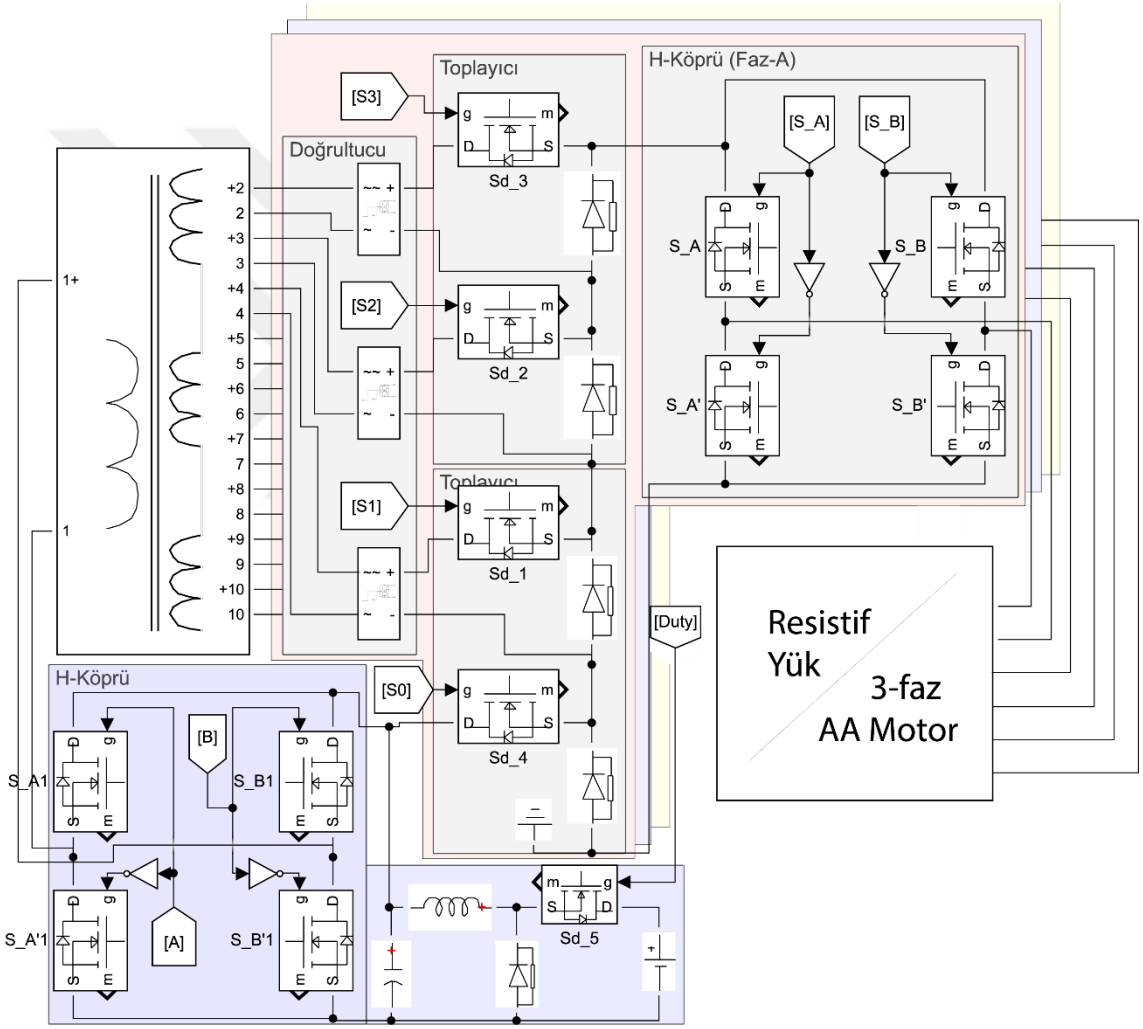
Şekil 5.2 Klasik evirici (a) saf rezistif hat gerilimleri, (b) saf rezistif yük faz gerilimleri, (c) saf rezistif yük faz akımı, (d) saf rezistif yükte indüktif filtre kullanılarak elde edilen faz gerilimleri

Şekil 5.2'de görüldüğü gibi saf rezistif hat gerilimleri, saf rezistif yük faz gerilimleri ve saf rezistif yük faz akımı beklendiği gibi olduğu görülmektedir. Şekil 5.2b'de verilen saf rezistif yük için elde edilen faz gerilimlerine ait THB değeri %31 iken indüktif filtre kullanılarak elde edilen faz gerilimlerinde ise THB değerinin %25'e

düştüğü gözlemlenmiştir. İndüktif filtre kullanımının THB değerini düşürücü yönde etkilediği görülmüştür.

5.1.2 Önerilen ÇSE Benzetim Sonuçları

Çalışmada önerilen 3-fazlı 31 seviyeli ÇSE topolojisi devresi blok yapısı Şekil 5.3'te verilmiştir.



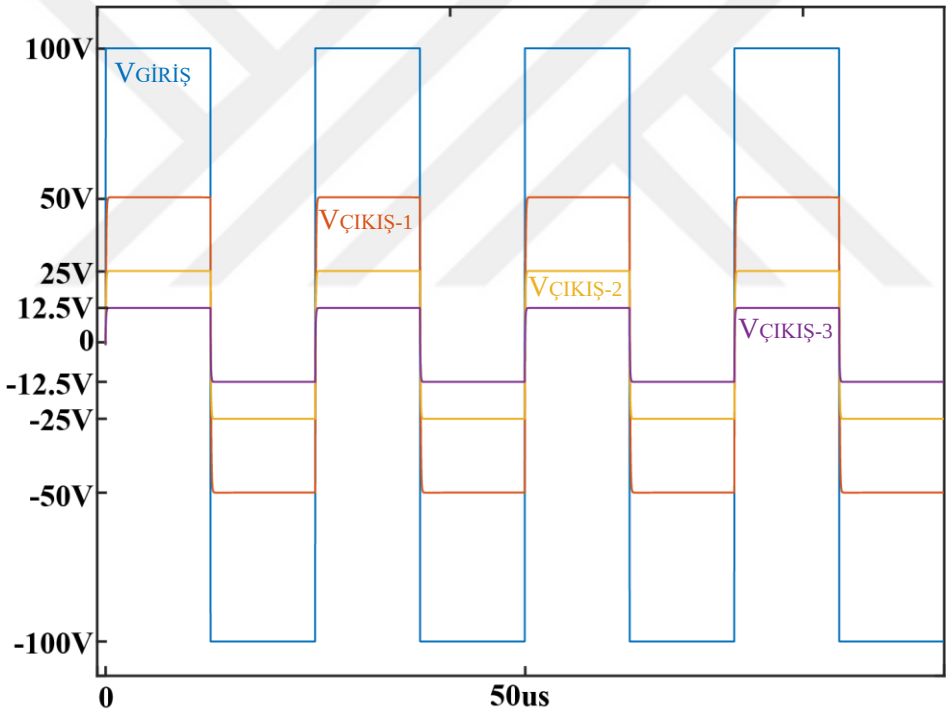
Şekil 5.3 Önerilen 3-fazlı 31 seviyeli ÇSE topolojisi devresi blok yapısı

Şekil 5.3'te görüldüğü gibi tek bir DA kaynaktan alınan gerilim bir düşürücü devre yardımıyla kare sinyal oluşturmak üzere bir H-köprü ve çok çıkışlı dönüştürme oranları 8:4,2,1 olan toroid transformatörden oluşan HFL devresi yardımıyla farklı

değerlerdeki kare sinyaller elde edilmiştir. Bu sinyaller doğrultucu yardımıyla DA bara gerilimlerine dönüştürülmüştür. Bu sayede her faz için 4 farklı gerilim seviyesi elde edilmiştir.

Toplayıcı devreye uygulanan bu farklı seviyedeki gerilimler, S0, S1, S2 ve S4 kontrol sinyalleri kullanılarak toplanır. Anahtarlara uygulanan kontrol sinyalleri hem NLC hem de SPWM kontrol yöntemi kullanılarak elde edilebilir. Benzetim çalışmasında her iki yöntem de ayrı ayrı kullanılmıştır. Toplayıcı devre çıkışı H-köprü devresi ile temel frekansta kontrol sinyaline bağlı olarak pozitif ve negatif seviyelere evirir. Böylece önerilen ÇSE çıkışında 31 seviyeden oluşan gerilim yüke uygulanmıştır.

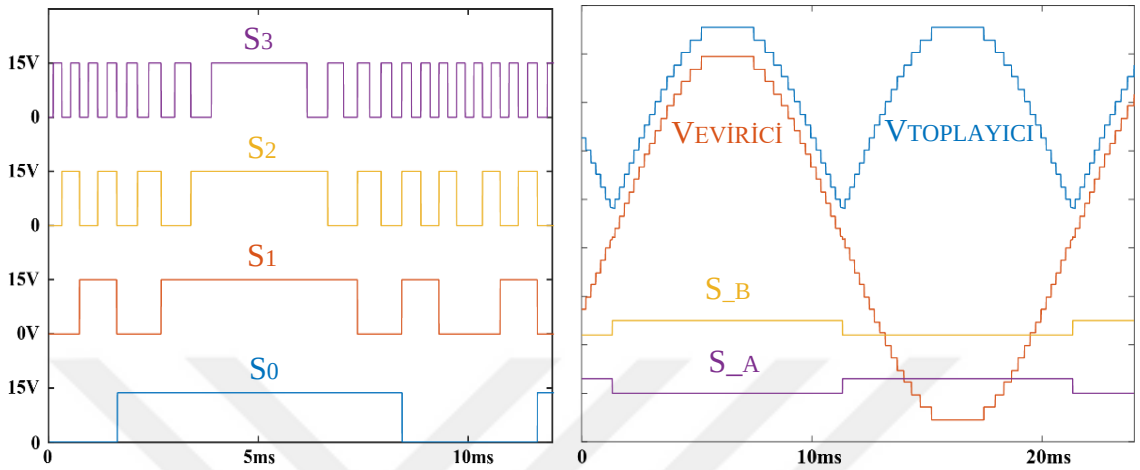
Transformatör girişine 100V'luk kare sinyal uygulandığında 1 faz için çıkışında oluşan kare sinyaller Şekil 5.4'te gösterilmiştir.



Şekil 5.4 Transformatör girişine 100V'luk kare sinyal uygulandığında 1 faz için çıkışında oluşan kare sinyaller

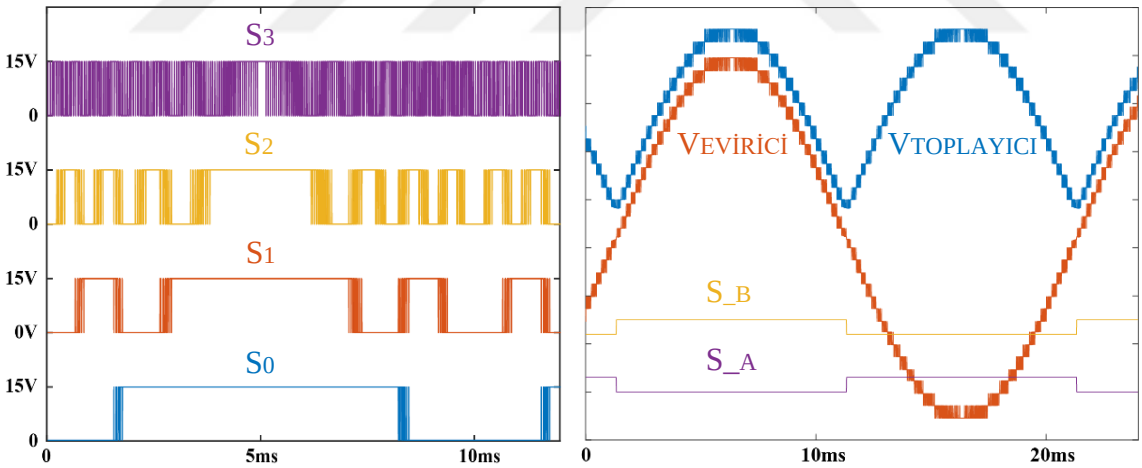
Şekil 5.4'te görüldüğü gibi transformatör girişine 100V'luk kare sinyal uygulandığında dönüştürme oranlarına bağlı olarak çıkışında sırasıyla 50V, 25V ve 12.5V genlikli kare sinyaller elde edilmiştir.

Toplayıcı devreye uygulanan NLC kontrolcüye ait anahtarlama sinyalleri Şekil 5.5a'da ve toplayıcı devre çıkışı, evirici çıkışı, H-köprü sinyalleri Şekil 5.5b'de verilmiştir. Benzer şekilde SPWM kontrolcüye ait anahtarlama sinyalleri Şekil 5.6a'da ve toplayıcı devre çıkışı, evirici çıkışı, H-köprü sinyalleri Şekil 5.5b'de verilmiştir.



(a) (b)

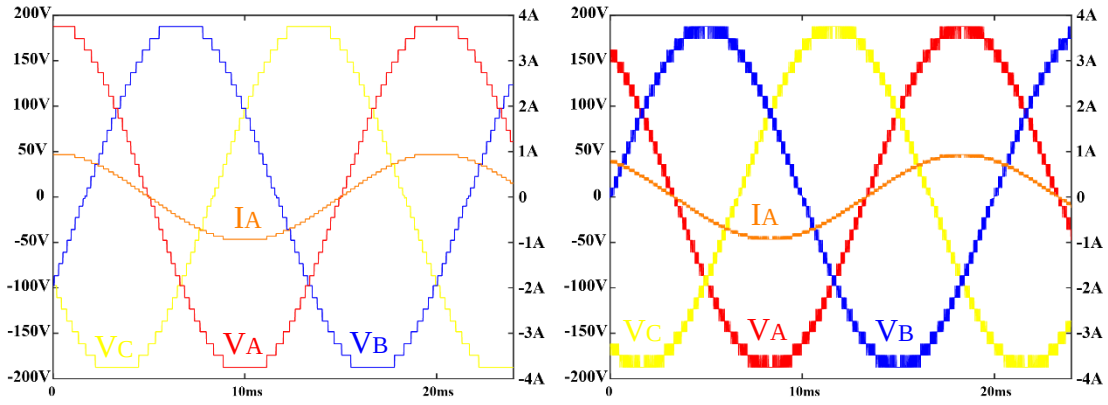
Şekil 5.5 Toplayıcı devreye uygulanan NLC kontrolcüye ait (a) anahtarlama sinyalleri, (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sinyalleri



(a) (b)

Şekil 5.6 Toplayıcı devreye uygulanan SPWM kontrolcüye ait (a) anahtarlama sinyalleri (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sinyalleri

Toplayıcı anahtar sinyalleri yükün saf rezistif olması durumuna ait evirici faz gerilimleri ile faz akımı NLC kullanıldığında Şekil 5.7a'da ve SPWM kontrolcüsü kullanıldığında Şekil 5.7b'de verilmiştir.

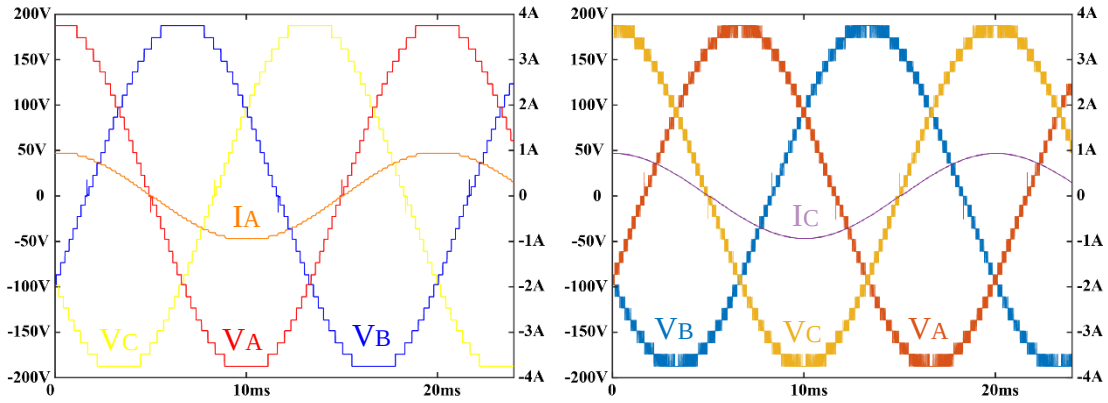


(a) (b)

Şekil 5.7 Saf rezistif yükte evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü

Şekil 5.7'de görüldüğü gibi anahtarlama sinyalleri SPWM kontrolcü kullanarak elde edildiğinde faz gerilimleri ve akımın, NLC kontrolcü ile elde edilen sonuçlara göre daha bozulmuş olduğu ve THB'si %2.7'den %3.8'e yükseldiği görülmüştür.

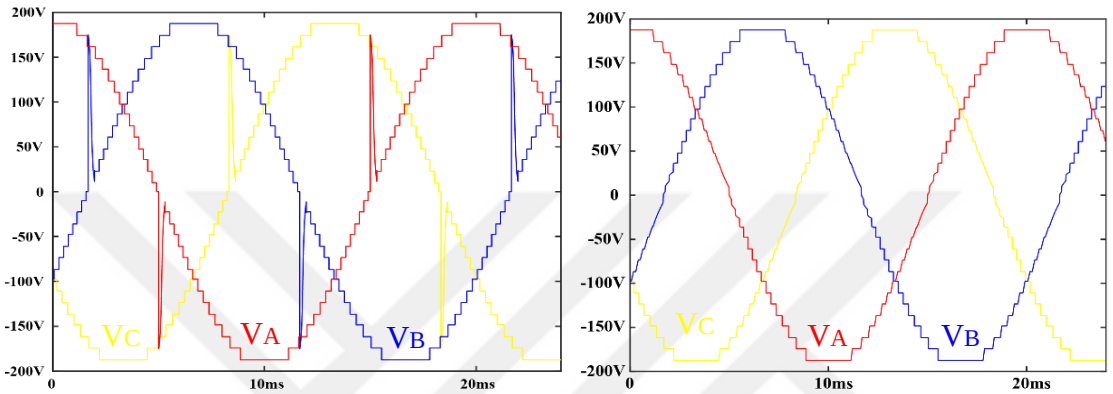
Toplayıcı anahtar sinyalleri NLC ve SPWM kontrolcüleri kullanıldığında saf rezistif yüke indüktif filtrenin etkisiyle oluşan evirici faz gerilimleri ile faz akımı Şekil 5.8a ve Şekil 5.8b'de verilmiştir.



(a) (b)

Şekil 5.8 Saf rezistif yüke indüktif filtre etkisiyle oluşan evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü

Şekil 5.8'de görüldüğü gibi indüktif filtrenin NLC kontrolcü kullanılması durumunda faz akımına kayda değer bir etkisi olmadığı, ancak SPWM kontrolcü kullanılması durumunda faz akımının önemli ölçüde düzeldiği gözlenmiştir. İndüktif filtre kullanılmadan NLC kontrolcüde THB %2.7 iken filtre kullanıldığında THB %1.2'e düşmüştür. İndüktif filtre kullanılmadan SPWM kontrolcüde THB %3.8 iken filtre kullanıldığında THB % 0.8'e düşmüştür.



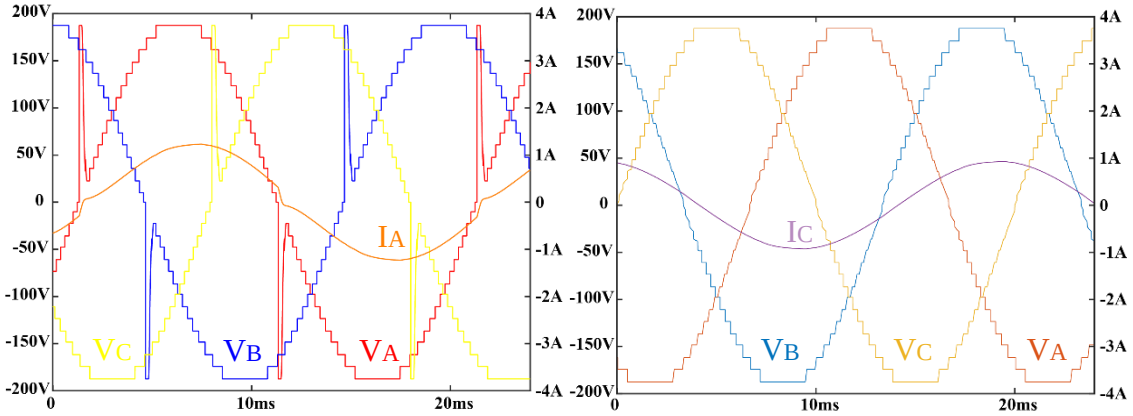
(a) (b)

Şekil 5.9 Önerilen ÇSE RL yükte faz gerilimleri kapasitif filtre (a) kullanılmadığında, (b) filtre kullanıldığında

Önerilen ÇSE topolojisinde yük olarak RL kullanıldığında evirici faz gerilimleri hiçbir filtre kullanılmadan Şekil 5.9a'da ve 5uF kapasitif filtre kullanılarak elde edilen hali Şekil 5.9b'de gösterilmektedir.

Şekil 5.9a'da görüldüğü gibi faz gerilimlerinin sıfır geçişlerinde bir sıçrama vardır. Bu sıçrama ana topolojide kullanılan harici diyotlardan kaynaklanmaktadır. Yüke paralel olarak kullanılan 5uF kapasitif filtre Şekil 5.9b'de gösterildiği gibi sıfır geçişindeki sıçramayı yumuşatmıştır. Faz gerilimlerinin filtresiz halinde THB %13.5 çıkarken kapasitif filtre ile elde edilen faz gerilimlerinin THB'si %2.4 çıkmıştır.

Önerilen ÇSE topolojisi çıkışına NLC kontrol yöntemi ile asenkron motor modeli bağlandığında faz gerilimleri ve faz akımı hiçbir filtre kullanılmadan Şekil 5.10a'da ve 5uF kapasitif filtre kullanılarak elde edilen motor terminal gerilimleri ve akımı Şekil 5.10b'de gösterilmektedir.

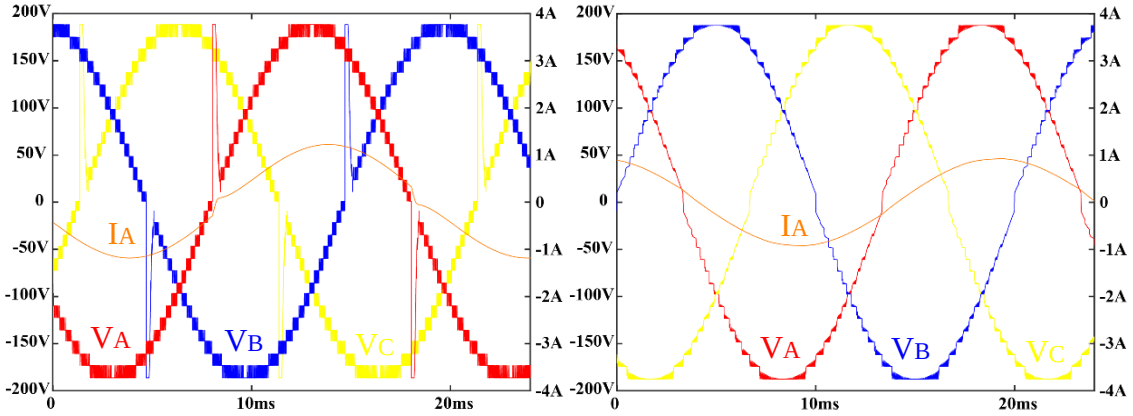


(a) (b)

Şekil 5.10 NLC kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında

Şekil 5.10a'da görüldüğü gibi NLC kontrol yöntemi ile elde edilmiş faz gerilimlerinin sıfır geçişlerinde bir sıçrama ve gerilim sıçramasından dolayı akımda meydana gelen hafif sıçrama görünmektedir. Motor terminallerine paralel olarak bağlanan 5uF kapasitif filtre Şekil 5.10b'de gösterildiği gibi sıfır geçişindeki sıçramayı yumuşatarak yok etmiştir. Ayrıca faz gerilimindeki iyileştirme faz akımını da düzelterek sinyal kalitesini arttırmıştır.

Önerilen ÇSE topolojisi çıkışına SPWM kontrol yöntemi ile asenkron motor modeli bağlandığında faz gerilimleri ve faz akımı hiçbir filtre kullanılmadan Şekil 5.11a'da ve 5uF kapasitif filtre kullanılarak elde edilen motor terminal gerilimleri ve akımı Şekil 5.11b'de gösterilmektedir.

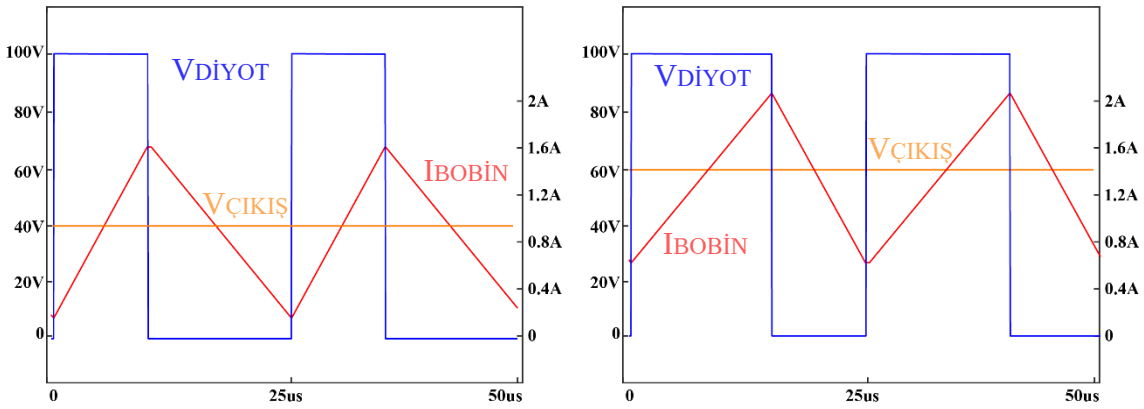


(a) (b)

Şekil 5.11 SPWM kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında

Şekil 5.11a'da görüldüğü gibi ana topolojide kullanılan harici diyotlardan kaynaklanan faz gerilimlerinin sıfır geçişlerinde bir sıçrama vardır. Motor terminallerine paralel olarak bağlanan 5uF kapasitif filtre Şekil 5.11b'de gösterildiği gibi sıfır geçişindeki sıçramayı yumuşatarak yok etmiştir. Filtresiz faz gerilimlerinin sinyal kalitesi kapasitif filtre ile iyileştirilmiştir.

Dönüştürücünün görev çarpanı 0.4 ve 0.6 yapıldığında diyot üzerindeki gerilim, bobin üzerindeki akım ve çıkış gerilimi Şekil 5.12'de gösterilmiştir.

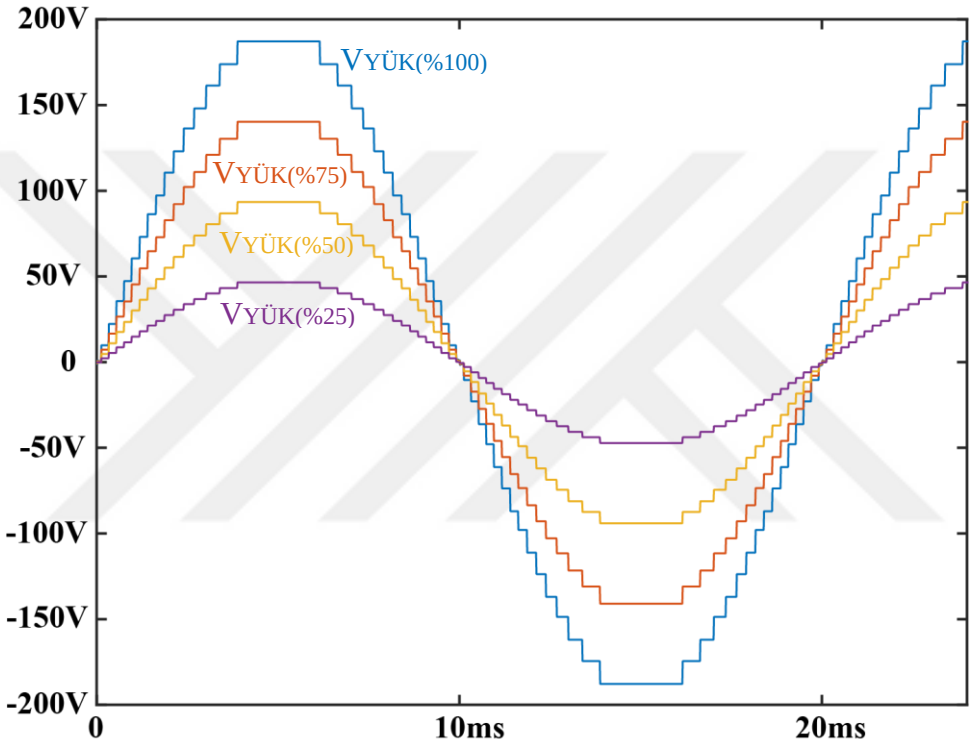


(a) (b)

Şekil 5.12 Dönüştürücü diyot gerilimi, bobin akımı ve çıkış gerilimi; (a) 0.4 görev çarpanında (b) 0.4 görev çarpanında

Şekil 5.12’de gösterildiği gibi kıyılmış DA gerilimi diyot üzerinde görülmektedir. Üçgen formunda görülen bobin akım genliğinin yüksekliğini kıyılmış DA gerilimi belirler. Bu kıyılmış DA gerilimini ortalaması çıkış geriliminde gözlenir.

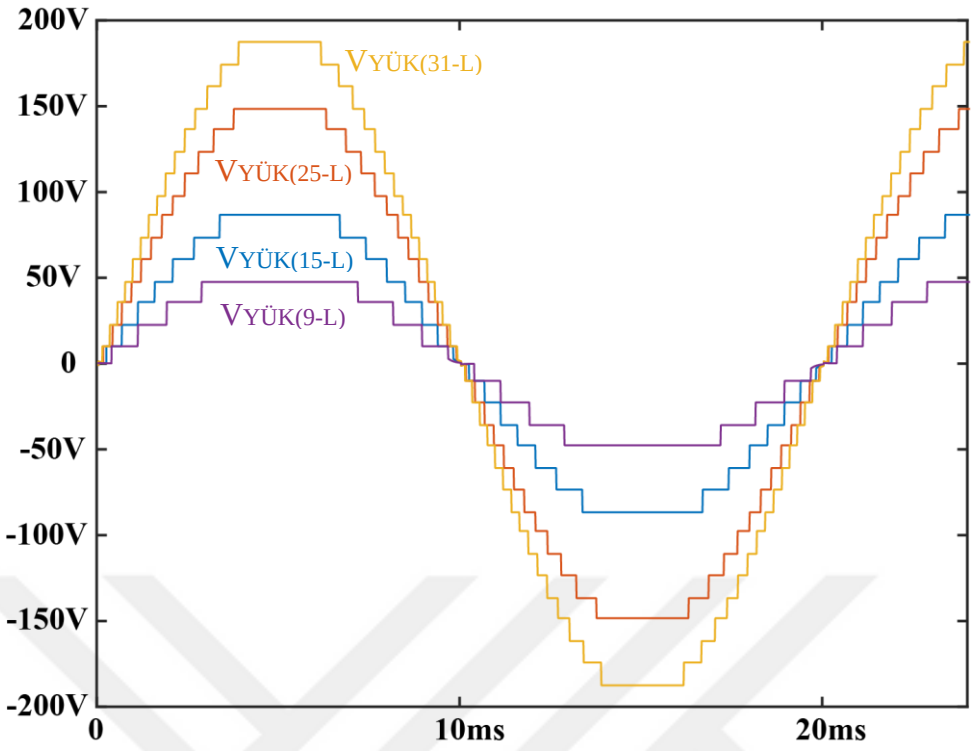
Önerilen ÇSE topolojisi düşürücü devrenin görev çarpanının değiştirilmesiyle farklı genliklerde 31 seviyeli gerilim üretebilmektedir. Düşürücü devrenin görev çarpanı %25, %50, %75 ve %100 olarak ayarlandığındaki eviricinin çıkış gerilimleri Şekil 5.13’te gösterilmektedir.



Şekil 5.13 Önerilen ÇSE topolojisinin farklı genliklerdeki 31 seviyeli gerilimleri

Şekil 5.13’te NLC modülasyonu kullanılarak yüke uygulanan farklı genlikteki 31-seviye gerilim dalga biçimini göstermektedir. Görülebileceği gibi, dalga biçimleri oldukça temiz ve THB'leri yalnızca %2,7'dir.

Önerilen ÇSE topolojisi düşürücü devrenin görev çarpanının %100 olarak ayarlanmasıyla oluşan farklı seviyelerdeki çıkış gerilimleri Şekil 5.14’te gösterilmektedir.



Şekil 5.14 Sabit adımlı çıkış gerilimleri: 31-seviye, 25-seviye,15-seviye ve 9-seviye

Şekil 5.14’te görülebileceği gibi, çıkış gerilimi azaldıkça dalga formunun kalitesi azalmaktadır. 31 seviye olarak alınan çıkışın THB'si %2,7 iken seviye düşümüyle beraber THB %15’e artmaktadır. Farklı çıkış gerilimlerini, seviye adım gerilimini koruyarak oluşturmak önerilen ÇSE’ye özgü bir özellik değildir ve tüm ÇSE’lerde yapılabilir.

5.2 Deneysel Sonuçlar

Bu bölümde klasik evirici ve çalışmada önerilen 31 seviyeli ÇSE topolojisi kullanılarak tasarlanan evirici deneysel olarak çalıştırılmış ve elde edilen sonuçlar sunulmuştur. Her iki topoloji için de yük olarak hem rezistif hem de rezistif-reaktif (asenkron motor) kullanılmıştır. İlerleyen kısımlarda klasik evirici ve çalışmada önerilen ÇSE benzetim sonuçları verilmiştir. Daha sonra her iki eviricinin deneysel çalışmasında elde edilen sonuçlar karşılaştırmalı olarak sunulmuştur.

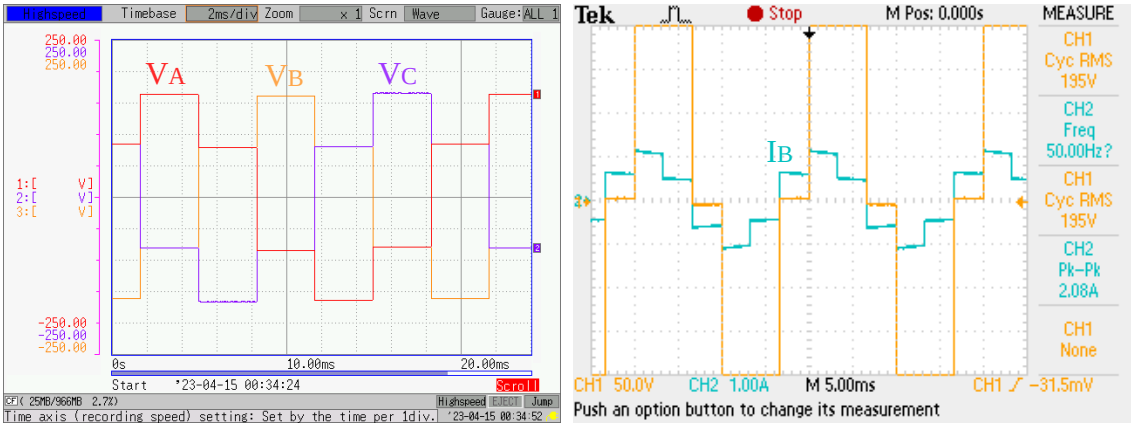
5.2.1 Klasik Evirici Deneysel Sonuçları

Çalışmada kullanılan 3-fazlı klasik evirici devre düzeneği Şekil 5.15'te verilmiştir.

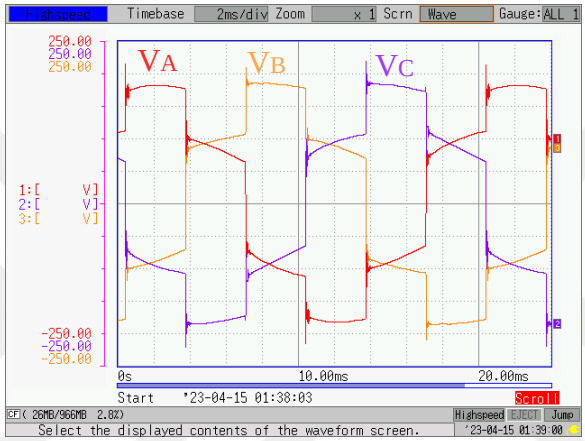
Şekil 5.15 Klasik evirici deney düzeneği

Şekil 5.15'te görüldüğü gibi 320V DA kaynak elde etmek için seri olarak bağlanmış DA kaynaklar ve her faz için bir yarım H-köprü devresi kullanılmaktadır. Ayrıca yük olarak kullanılan motor ve indüktif filtre gösterilmektedir. A, B ve C faz çıkışlarına bağlanan yük 200Ω'luk direnç ve Şekil 5.15'te gösterilen asenkron motor kullanılmıştır. Evirici çıkışına bağlanan yük yıldız olarak bağlanmıştır. Ayrıca saf rezistif yük çıkışı filtresiz ve 42mH'lik indüktif filtre kullanılarak gözlenmiştir.

Deneysel çalışmalarda elde edilen saf rezistif hat gerilimleri, klasik evirici saf rezistif faz gerilim ile akımı ve klasik evirici indüktif filtre ile faz gerilimlerine ait grafikler Şekil 5.16'da verilmiştir.



(a) (b)



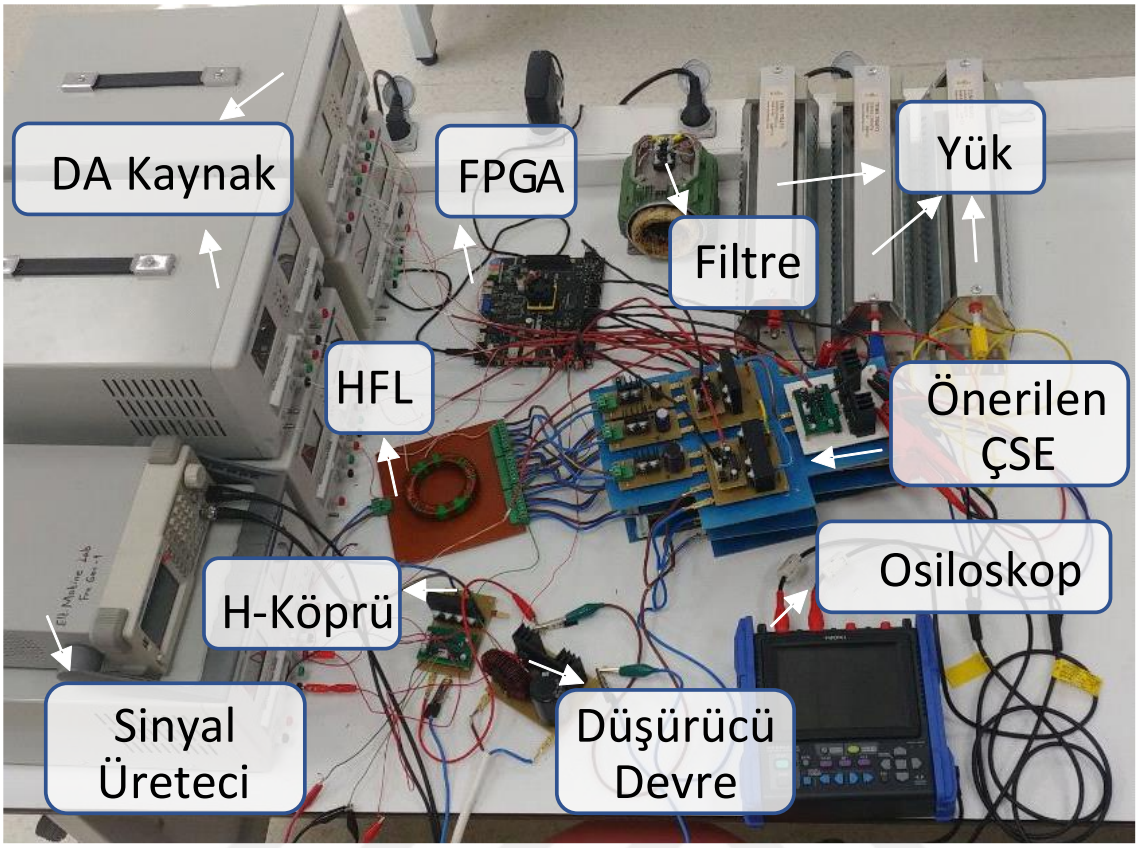
(c)

Şekil 5.16 Klasik evirici (a) Saf rezistif hat gerilimleri, (b) Klasik evirici saf rezistif faz gerilim ve akımı, (c) Klasik evirici indüktif filtre ile faz gerilimleri

Şekil 5.16a'da görüldüğü gibi saf rezistif hat gerilimleri, saf rezistif yük faz gerilimleri ve saf rezistif yük faz akımı beklendiği gibi olduğu görülmektedir. Şekil 5.16b'de verilen saf rezistif yük için elde edilen faz geriliminin dalga formunun indüktif filtre kullanılarak elde edildiğinde Şekil 5.16c'de gösterildiği gibi olmaktadır. Klasik evirici çıkışlarında, deneysel çalışmalarda kullanılan 42mH'lik indüktif filtre kullanımının THB değerini çok az düşürdüğü gözlemlenmektedir.

5.2.2 Önerilen ÇSE Deneysel Sonuçları

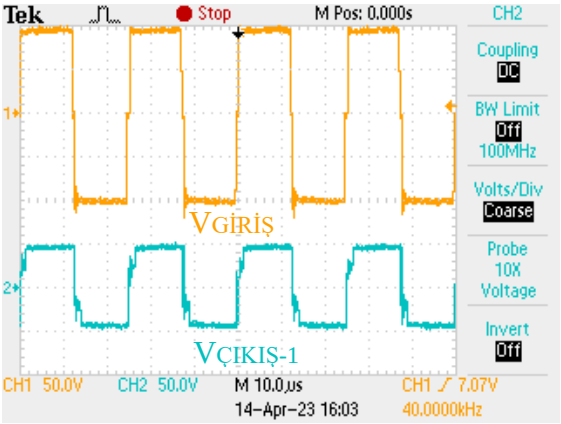
Çalışmada önerilen 3-fazlı 31 seviyeli ÇSE topolojisi devresinin deneysel düzeneği Şekil 5.17'de verilmiştir.



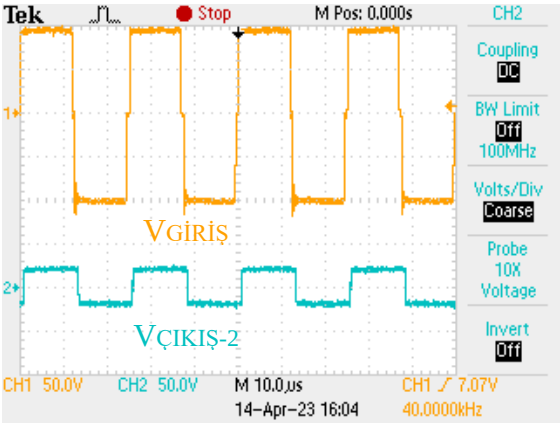
Şekil 5.17 Önerilen topolojinin deneysel çalışma düzeneği

Şekil 5.17'de tek bir DA kaynaktan alınan gerilim düşürücü devre yardımıyla kare sinyal oluşturmak üzere bir H-köprüye ulaşır. Bu kare sinyal çok çıkışlı toroid transformatörde farklı gerilimlerde çoğaltılarak doğrultulur ve toplayıcı diyot devre yardımıyla NCL veya SPWM kontrol yöntemine göre toplanır. Oluşan pozitif çevrim sinüs formu diğer bir H-köprü ile evrilerek yüke aktarılır.

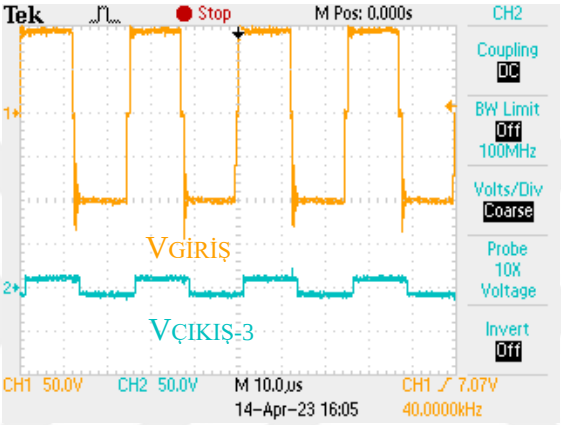
Transformatör girişine 100V'luk kare sinyal uygulandığında 1 faz için transformatör çıkışında oluşan kare sinyaller Şekil 5.18'de gösterilmiştir.



(a)



(b)

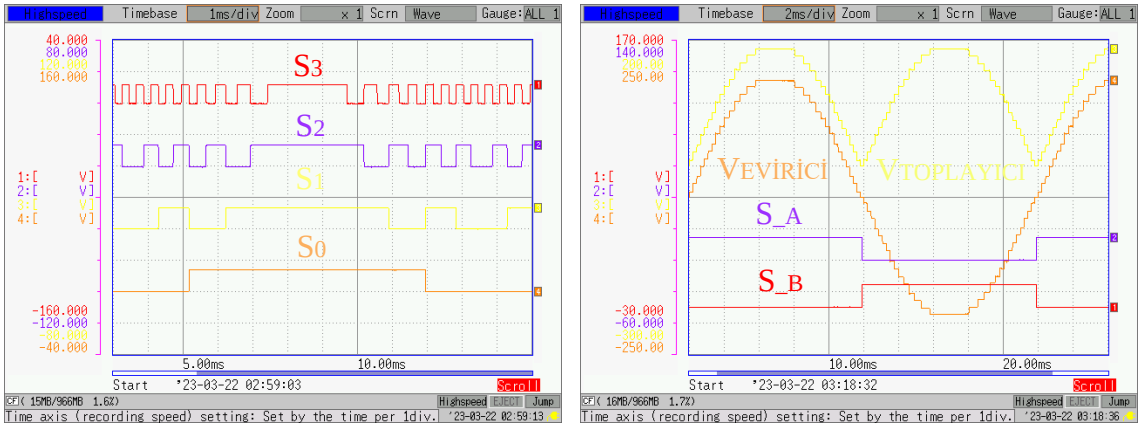


(c)

Şekil 5.18 Toroid transformatör (a) Giriş gerilimi ve birinci çıkış gerilimi (b) Giriş gerilimi ve ikinci çıkış gerilimi (c) Giriş gerilimi ve üçüncü çıkış gerilimi

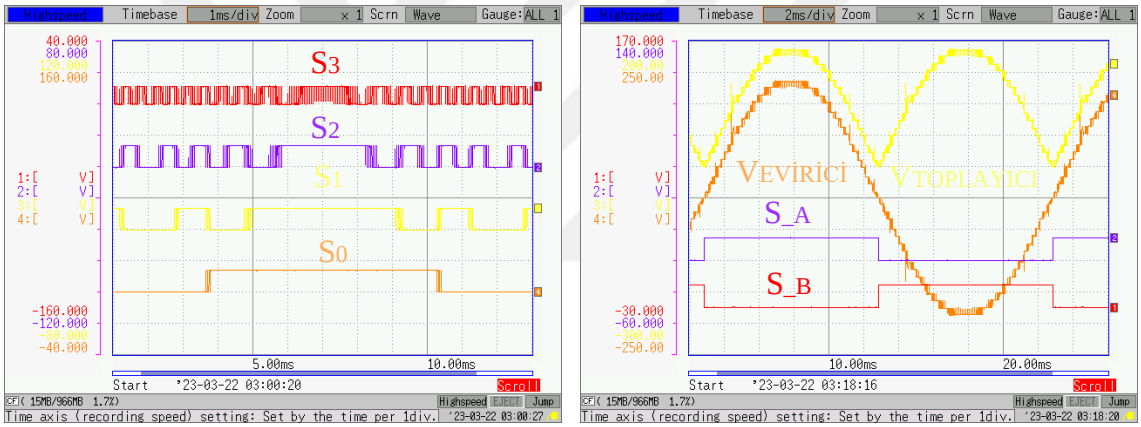
Şekil 5.18a'da görüldüğü gibi transformatör girişine 100V'luk kare sinyal uygulandığında transformatör dönüştürme oranlarına bağlı olarak çıkışında sırasıyla 50V, 25V ve 12.5V genlikli kare sinyaller elde edilmiştir.

Toplayıcı devreye uygulanan NLC kontrolcüye ait sürücü devresinden oluşturulan anahtarlama sinyalleri ile toplayıcı devre çıkışı, evirici çıkışı, H-köprü sürücü sinyalleri sırasıyla Şekil 5.19a ve Şekil 5.19b'de verilmiştir. Benzer şekilde SPWM kontrolcüye ait sürücü devresinden oluşturulan anahtarlama sinyalleri ile toplayıcı devre çıkışı, evirici çıkışı, H-köprü sürücü sinyalleri sırasıyla Şekil 5.20a ve Şekil 5.20b'de verilmiştir.



(a) (b)

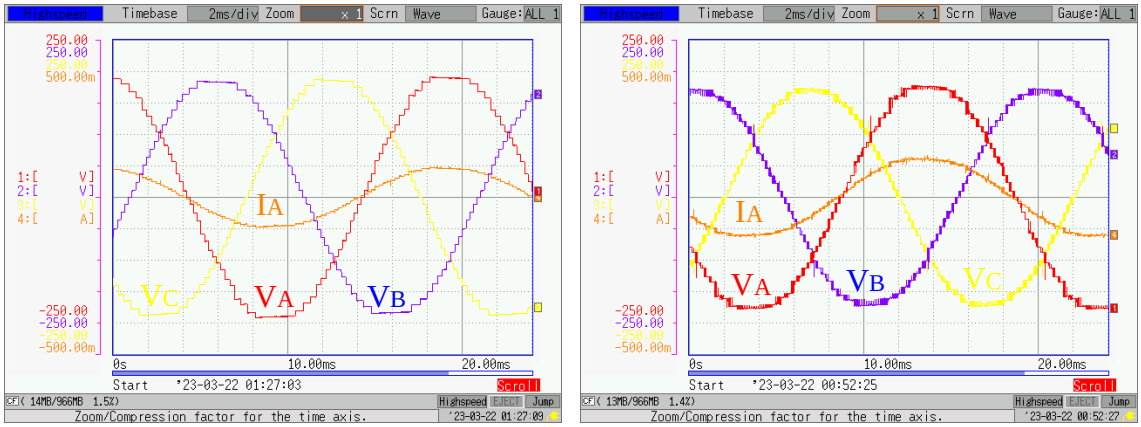
Şekil 5.19 Toplayıcı devreye uygulanan NLC kontrolcüye ait (a) sürücüden oluşturulan anahtarlama sinyalleri (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sürücü sinyalleri



(a) (b)

Şekil 5.20 Toplayıcı devreye uygulanan SPWM kontrolcüye ait (a) sürücüden oluşturulan anahtarlama sinyalleri (b) Toplayıcı devre çıkışı, Evirici çıkışı, H-köprü sürücü sinyalleri

Toplayıcı anahtar sinyalleri NLC ve SPWM kontrolcüleri kullanıldığında yükün saf rezistif olması durumuna ait evirici faz gerilimleri ile faz akımı Şekil 5.21a ve Şekil 5.21b'de verilmiştir.

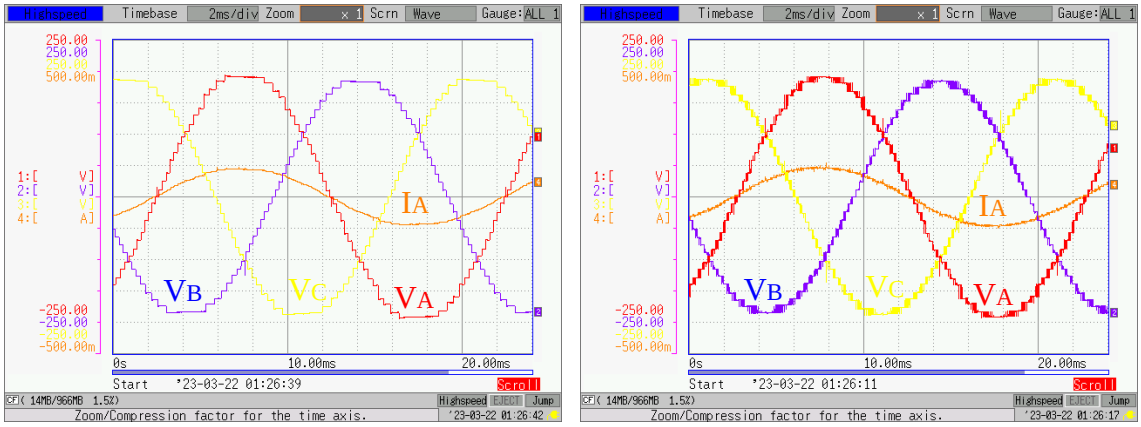


(a) (b)

Şekil 5.21 Saf rezistif yükte evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü.

Şekil 5.21'de görüldüğü gibi anahtarlama sinyalleri SPWM kontrolcü kullanarak elde edildiğinde faz gerilimleri ve akımın, NLC kontrolcü ile elde edilen sonuçlara göre daha bozulmuş olduğu ve THB'si yüksek çıktığı görülmüştür.

Toplayıcı anahtar sinyalleri NLC ve SPWM kontrolcüleri kullanıldığında saf rezistif yüke indüktif filtrenin etkisiyle oluşan evirici faz gerilimleri ile faz akımı Şekil 5.22a ve Şekil 5.22b'de verilmiştir.



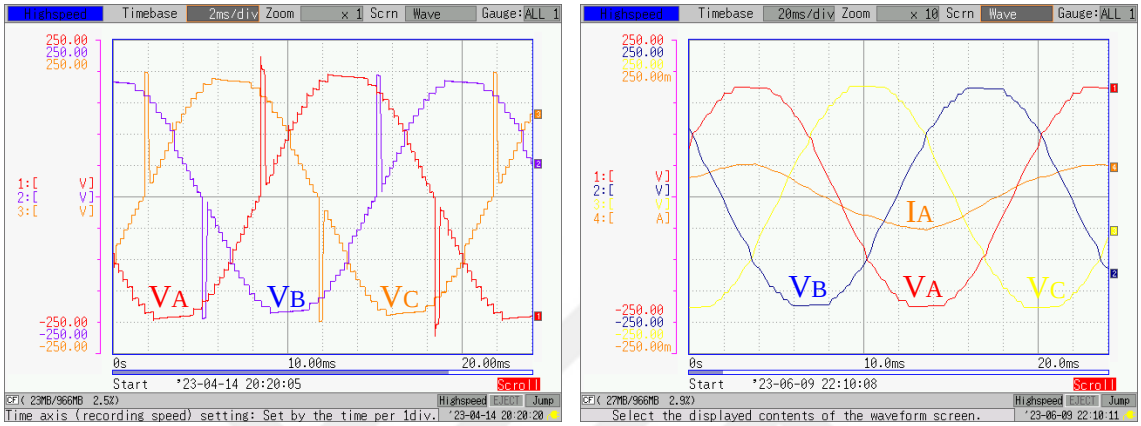
(a) (b)

Şekil 5.22 Saf rezistif yüke indüktif filtre etkisiyle oluşan evirici faz gerilimleri ve faz akımı (a) NLC kontrolcü (b) SPWM kontrolcü

Şekil 5.22'de görüldüğü gibi indüktif filtrenin NLC kontrolcü kullanılması durumunda faz akımına kayda değer bir etkisi olmadığı, ancak SPWM kontrolcü

kullanılması durumunda faz akımının önemli ölçüde düzelmesi beklenirken yine de gürültü olduğu gözlenmiştir.

Önerilen ÇSE topolojisinde yük olarak RL kullanıldığında evirici faz gerilimleri hiçbir filtre kullanılmadan Şekil 5.23a'da ve 5uF kapasitif filtre kullanılarak elde edilen hali Şekil 5.23b'de gösterilmektedir.

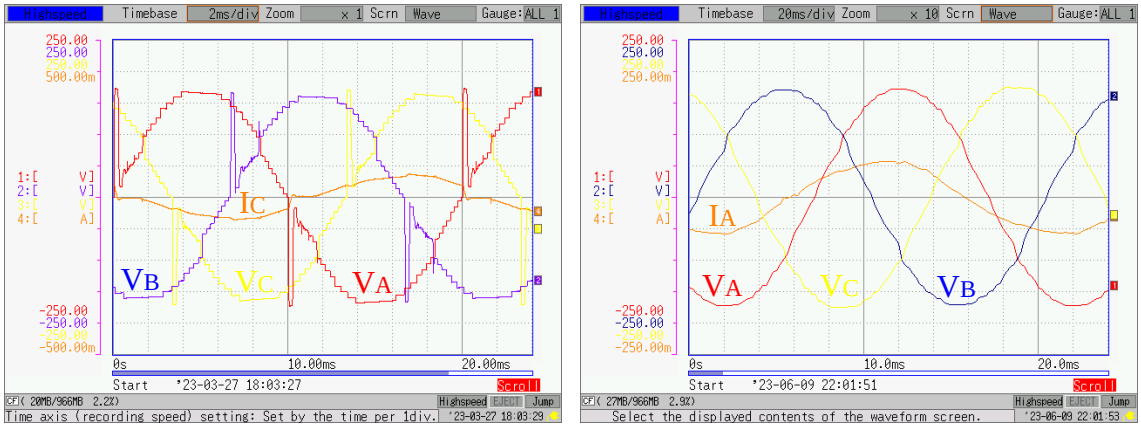


(a) (b)

Şekil 5.23 Önerilen ÇSE RL yükte faz gerilimleri kapasitif filtre (a) kullanılmadığında, (b) filtre kullanıldığında.

Şekil 5.23a'da görüldüğü gibi ana topolojide kullanılan harici diyotlardan kaynaklanan faz gerilimlerinin sıfır geçişlerinde bir sıçrama vardır. Yüke paralel olarak bağlanan 5uF kapasitif filtre Şekil 5.23b'de gösterildiği gibi sıfır geçişindeki sıçramayı yumuşatarak yok etmiştir. Faz gerilimlerinin filtresiz halinde sinyal kalitesi kapasitif filtre iyileştirilmiştir.

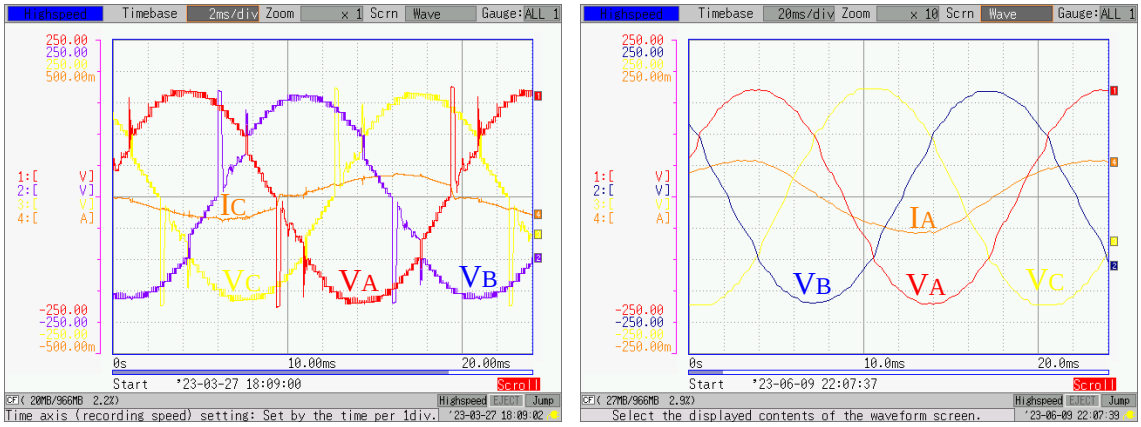
Önerilen ÇSE topolojisi çıkışına NLC kontrol yöntemi ile asenkron motor bağlandığında faz gerilimleri ve faz akımı hiçbir filtre kullanılmadan Şekil 5.24a'da ve 5uF kapasitif filtre kullanılarak elde edilen motor terminal gerilimleri ve akımı Şekil 5.24b'de gösterilmektedir.



(a) (b)

Şekil 5.24 NLC kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında

Şekil 5.24a'da görüldüğü gibi NLC kontrol yöntemi ile elde edilmiş faz gerilimlerinin sıfır geçişlerinde bir sıçrama ve gerilim sıçramasından dolayı akımda meydana gelen hafif sıçrama görünmektedir. Motor terminallerine paralel olarak bağlanan 5uF kapasitif filtre Şekil 5.24b'de gösterildiği gibi sıfır geçişindeki sıçramayı yumuşatarak yok etmiştir. Ayrıca faz gerilimindeki iyileştirme faz akımını da düzelterek sinyal kalitesini arttırmıştır.



(a) (b)

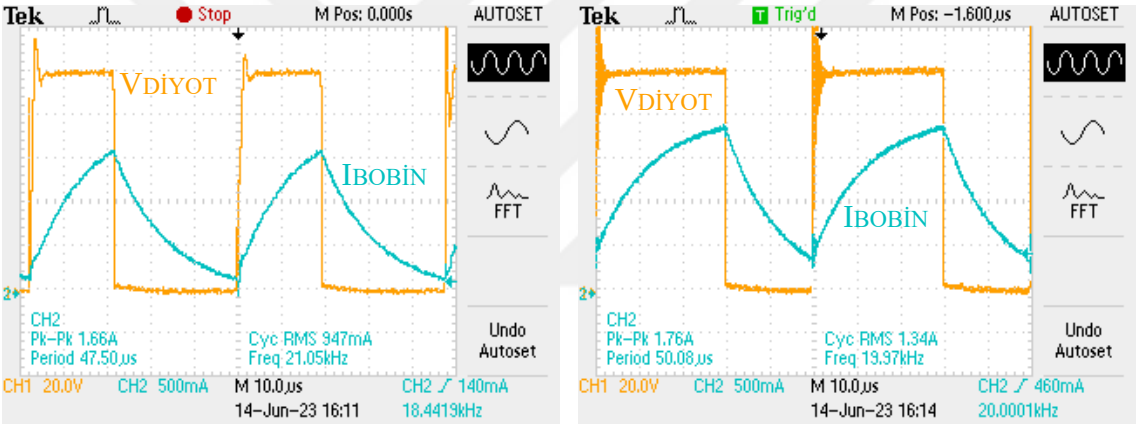
Şekil 5.25 SPWM kontrol yöntemi ile asenkron motor faz gerilimleri ve faz akımı (a) filtre kullanılmadığında, (b) kapasitif filtre kullanıldığında

Önerilen ÇSE topolojisi çıkışına SPWM kontrol yöntemi ile asenkron motor bağlandığında faz gerilimleri ve faz akımı hiçbir filtre kullanılmadan Şekil 5.25a'da ve

5uF kapasitif filtre kullanılarak elde edilen motor terminal gerilimleri ve akımı Şekil 5.25b'de gösterilmektedir.

Şekil 5.25a'da görüldüğü gibi ana topolojide kullanılan harici diyotlardan kaynaklanan faz gerilimlerinin sıfır geçişlerinde bir sıçrama vardır. Motor terminallerine paralel olarak bağlanan 5uF kapasitif filtre Şekil 5.25b'de gösterildiği gibi sıfır geçişindeki sıçramayı yumuşatarak yok etmiştir. Faz gerilimlerinin filtresiz halinde sinyal kalitesi kapasitif filtre iyileştirilmiştir.

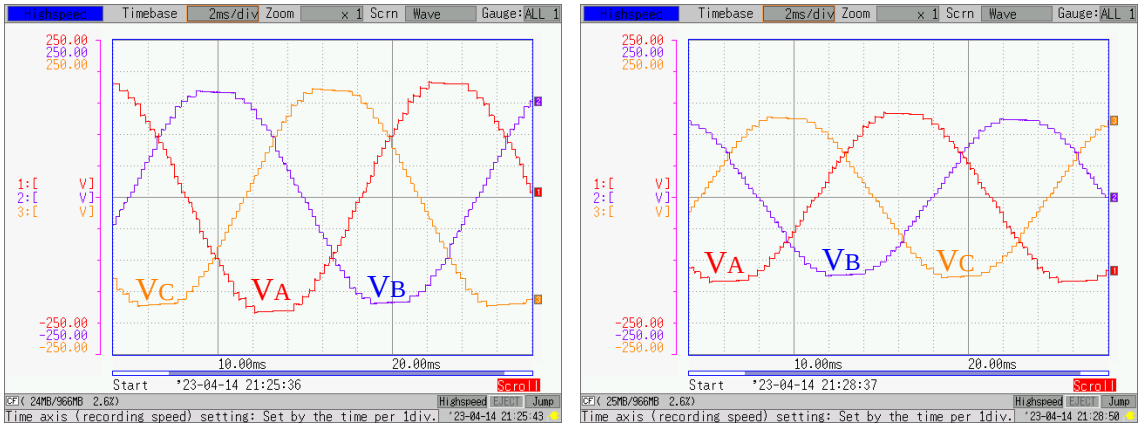
Önerilen ÇSE topolojisi düşürücü devre sayesinde 31 seviyeli çıkışı farklı gerilimlerde üretebilmektedir. Dönüştürücünün görev çarpanı 0.4 ve 0.6 yapıldığında diyot üzerindeki gerilim, bobin üzerindeki akım ve çıkış gerilimi Şekil 5.26'da gösterilmiştir.



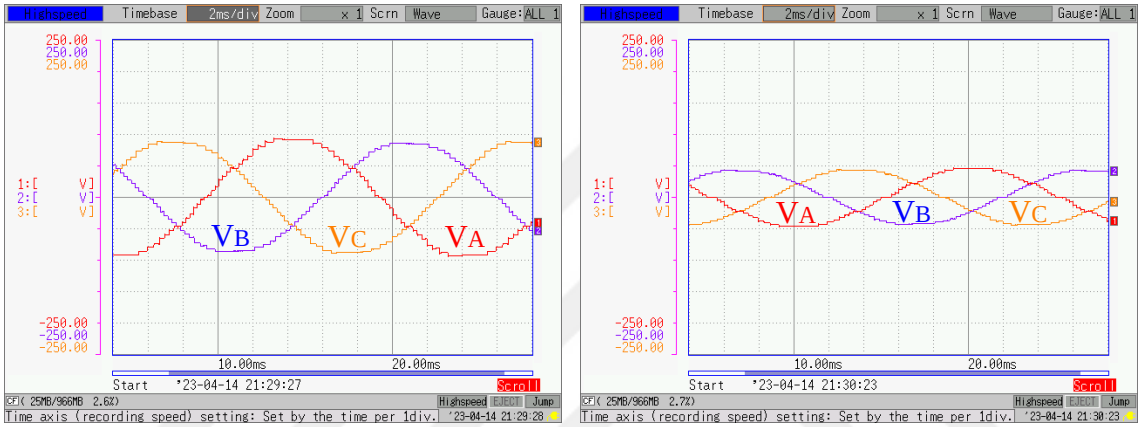
(a) (b)

Şekil 5.26 Dönüştürücü diyot gerilimi, bobin akımı; (a) 0.4 görev çarpanında (b) 0.4 görev çarpanında

Şekil 5.26'da gösterildiği gibi kıyılmış DA gerilimi diyot üstünde görülmektedir. Üçgen formunda görülen bobin akım genliğinin yüksekliğini kıyılmış DA gerilimi belirler. Bu kıyılmış DA gerilimini ortalaması çıkış geriliminde gözlenir. Dönüştürücünün görev çarpanı 0.25, 0.5, 0.75 ve 1 olarak ayarlandığındaki eviricinin çıkış gerilimleri Şekil 5.27'de gösterilmektedir.



(a) (b)

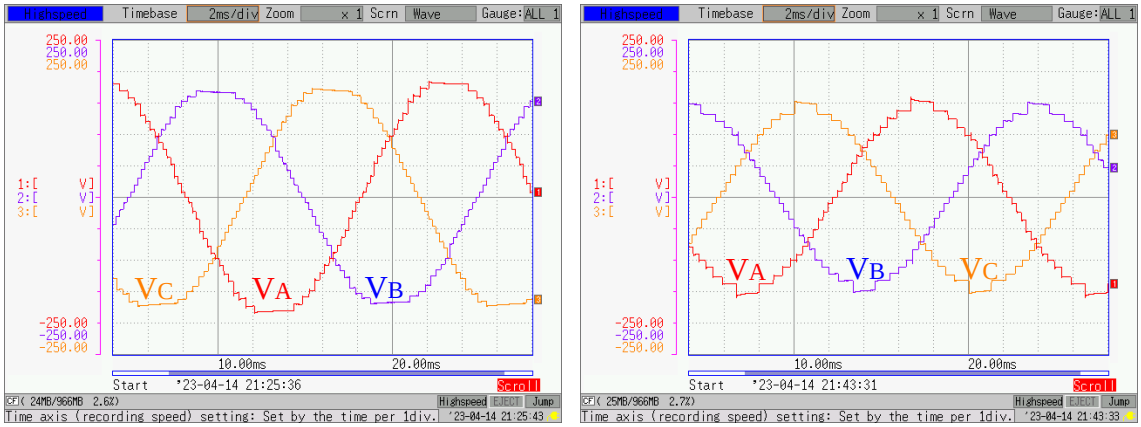


(c) (d)

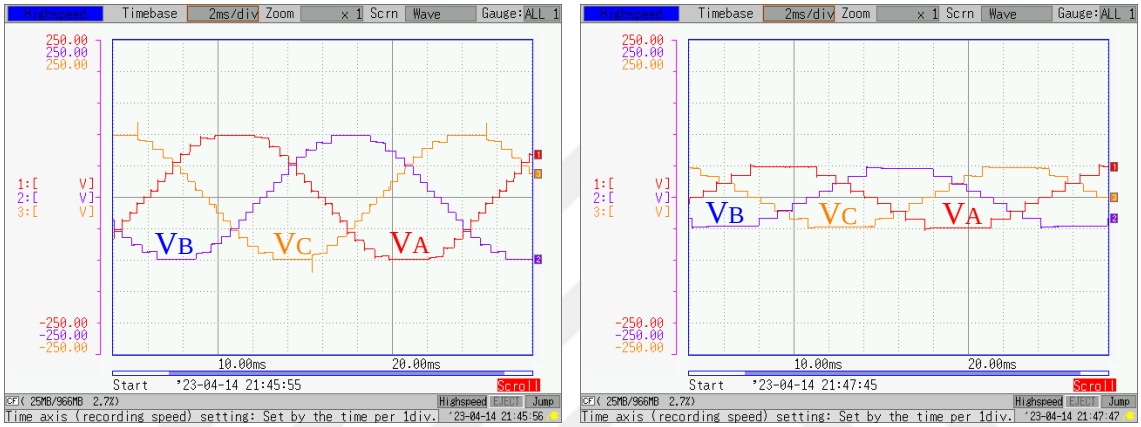
Şekil 5.27 Değişken adımlı çıkış gerilimleri (a) %100 31-seviye, (b) %75 31-seviye, (c) %50 31-seviye, (d) %25 31-seviye

Şekil 5.27'de NLC kontrol yöntemi kullanılarak önerilen ÇSE çıkışında oluşan farklı genlikteki 31-seviye gerilim dalga biçimini göstermektedir. Görülebileceği gibi, dalga biçimleri her genlikte saf sinüs formuna yakındır.

Önerilen ÇSE topolojisine maksimum gerilimde sabit tutulmasıyla farklı seviyelerdeki çıkış gerilimleri elde etmek referans sinyal değişimiyle mümkündür. Çeşitli seviyelerde oluşturulan çıkış gerilimleri Şekil 5.28'de gösterilmektedir.



(a) (b)



(c) (d)

Şekil 5.28 Sabit adımlı çıkış gerilimleri (a) %100 31-seviye, (b) %75 25-seviye, (c) %50 15-seviye, (d) %25 9-seviye

Şekil 5.28'de görülebileceği gibi, dalga formunun kalitesi çıkış gerilimi azaldıkça azalmaktadır. ÇSE çıkış gerilimi 31 seviyede iken sinüs formuna çok daha fazla benzerken, seviye azaldığında sinyalin basamakları daha belirgin hale gelmektedir.

5.3 Kayıp, Güç ve Verimlilik Analizi

Güç kaybının belirlenmesi, MLI sonuçlarının etkinliğinin değerlendirilmesinde önemli bir parametredir. Genel güç kaybına üç tür kayıp katkıda bulunur: iletim kayıpları (P_{cond}), anahtarlama kayıpları (P_{SW}) ve transformatör kayıpları (P_{Tr}) (Wand, 2016; Energy, 2017).

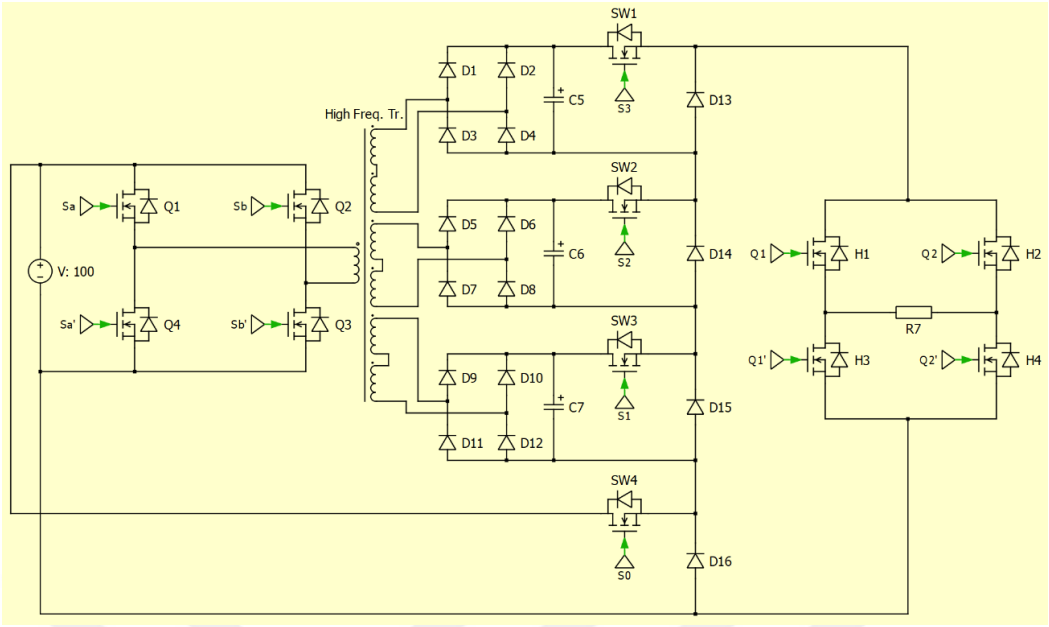
$$P_{\text{losses}} = P_{cond} + P_{\text{sw}} + P_{tr} \tag{4.29}$$

Anahtarlama kayıpları, anahtarın açık durum direncinden (R_s), diyotun iç direncinden (R_d), diyot ileri gerilim düşüşünden (V_d), kapasitörün iç direncinden (R_c) kaynaklanır. Toplam anahtarlama gücü kayıpları, mevcut tüm güç anahtarlarının kayıplarının toplamıdır ve anahtarların anahtarlama hızına bağlıdır; bu, eviricinin temel bir periyot üzerinden bir anahtarlama darbesi modeli kullanılarak tahmin edilebilir.

ÇSE devrelerinde kullanılan güç anahtarları uygulanan modülasyon yöntemine göre farklı anahtarlama frekanslarında tetiklenmektedirler. Çoğu durumda yüksek anahtarlama frekanslarında çalışmaktadırlar. Her seviyede farklı iletim parametrelerini hesaba katmak oldukça zordur. Bu sebeple farklı anahtarlama koşullarında devrede kullanılan ekipmanların harcadığı kayıp gücü (iletim ve anahtarlama kaybı) ve verimi hesaplamak içi paket programları kullanılmaktadır. PLECS yazılımı güç elektroniği devrelerinde simülasyon yapabilen, özellikle anahtar güç kaybı, verim ve termal hesaplamalar ile öne çıkan, birçok akademik çalışmada kullanılabilirliği kabul görmüş bir yazılımdır. Bu çalışmada önerilen ÇSE devresi PLECS arayüzünde termal modeli Şekil 5.29'daki gibi oluşturularak güç bileşenlerinin iletim ve anahtarlama kayıpları ve verimi hesaplanmıştır. ÇSE devresinde kullanılan güç ekipmanlarının termal modelleri Çizelge 5.1'deki değerlere göre oluşturulmuş ve simülasyon gerçekleştirilmiştir.

Çizelge 5.1 Elemanların kayba neden olan değerleri

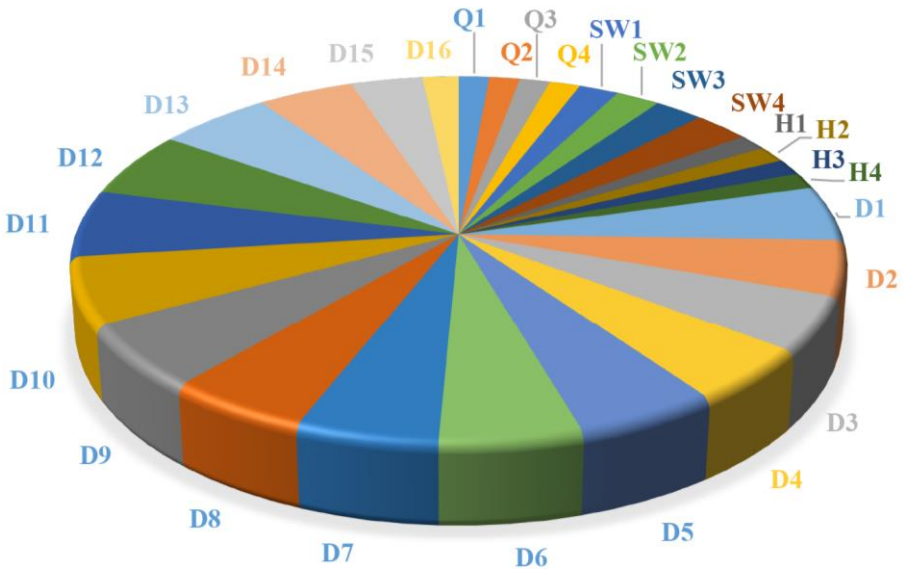
Parametreler	Değerler
MOSFET'lerin açık direnci	2mΩ
MOSFET ve diyotların ileri gerilim düşüşü	1V
Diyotların iç direnci	80mΩ
Kapasitörlerin ESR'si	50mΩ



Şekil 5.29 Önerilen ÇSE topolojisinin PLECS arayüzünde termal analizi ile kayıpların hesaplanması

Şekil 5.29'da önerilen ÇSE devresi PLECS arayüzünde oluşturulmuş, kullanılan tüm bileşenlerin termal modelleri oluşturularak sistem simüle edilmiştir. Sistemin bir fazına ait simülasyon şeması sunulmuştur.

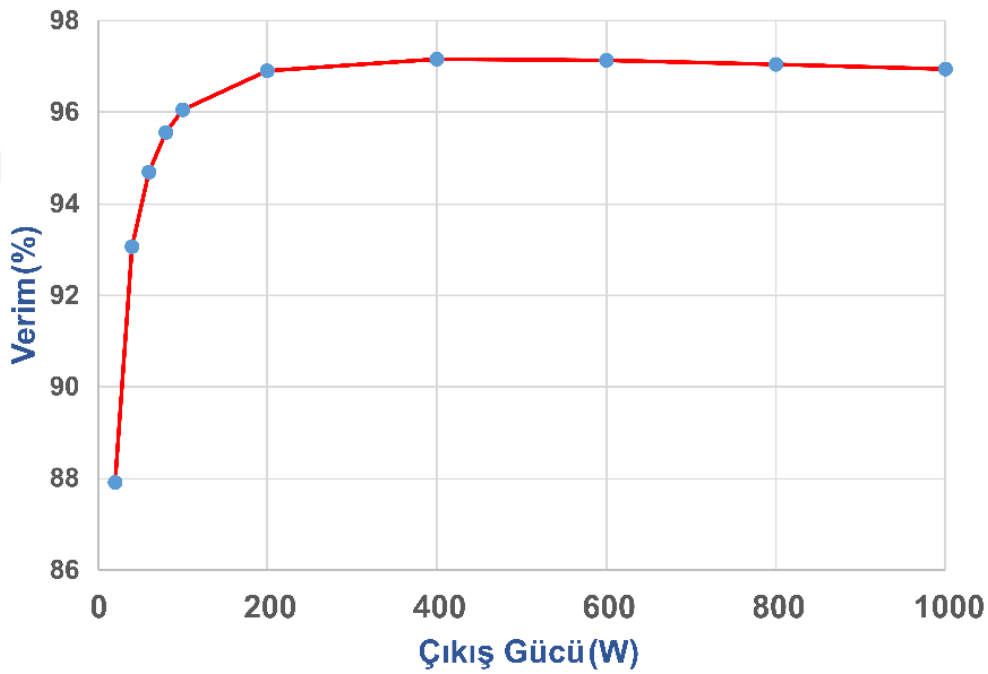
Şekil 5.30'da topolojide kullanılan güç anahtarı ve diyotların harcadığı güç dağılımını göstermektedir.



Şekil 5.30 Önerilen ÇSE devresinde kullanılan güç bileşenlerinin harcadığı güçlerin dağılımı

Şekil 5.30'da dağılıma göre en büyük kayıp diyotlar üzerinde olmaktadır. 44Ω saf dirençli yük için çıkış gücü 1,1kW'tır. Anahtarlama ve iletim kayıpları (Spectrum, 2018)'e göre sırasıyla 3.72W ve 8.65W'dır. Kapasitör kayıpları 2,14W ve transformatör kaybı 38,6W'dir. Bu nedenle, toplam kayıp 53,11 W olur ve bu da %95,4'lük bir verimlilikle sonuçlanır.

Önerilen ÇSE topolojisinin verimini göstermek için farklı güç değerlerinde sistem simülasyonu yapılarak verimin farklı güçlere göre değişimi Şekil 5.31'de gösterilmiştir.



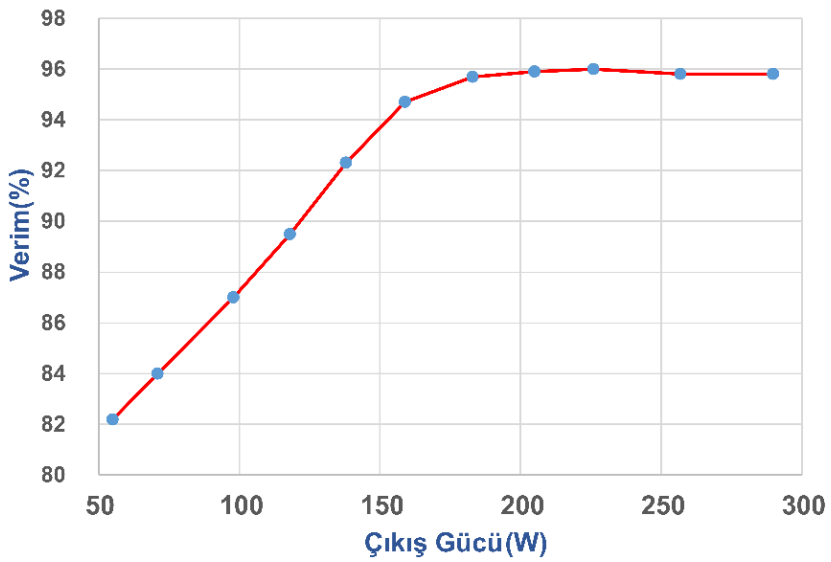
Şekil 5.31 Farklı güç değerlerinde önerilen ÇSE'nin saf rezistif yük üstünde verimi

Önerilen ÇSE topoloji çıkışında yük olarak asenkron motor kullanılmış ve motor yükü arttırılarak Çizelge 5.2'deki sonuçlar elde edilmiştir. 50 Hz'de motorun düşük güçlü olduğu için 10 Nm'den fazla torklarda motor durmuştur. Asenkron motor kullanılırken ÇSE'nin veriminin farklı güçlere göre değişimi Şekil 5.31'de gösterilmiştir.

Çizelge 5.2 Asenkron motor artan yüke göre oluşan parametreler

Giriş Gerilimi (V_{DA})	Giriş Akımı (A_{DA})	Çıkış Gerilimi (V_{RMS})	Çıkış Akımı (A_{RMS})	Güç Faktörü	Evirici Verimi	Yük (Nm)	Hız (RPM)
100	0.55	133	0.27	0.42	0.82	0	1476
100	0.71	131	0.29	0.53	0.85	1.1	1461
100	0.98	129	0.33	0.66	0.86	2.6	1437
100	1.18	127	0.36	0.77	0.89	3.6	1412
100	1.38	125	0.4	0.85	0.92	4.7	1397
100	1.59	124	0.45	0.9	0.94	5.6	1374
100	1.83	123	0.5	0.95	0.95	6.8	1347
100	2.05	122	0.56	0.96	0.95	7.6	1318
100	2.26	121	0.61	0.98	0.96	8.5	1286
100	2.57	118	0.7	0.99	0.95	9.8	1225

Önerilen topolojinin artan güçlere göre Çizelge 5.2'deki verimi Şekil 5.32'de görselleştirilmiştir.



Şekil 5.32 Farklı güç değerlerinde önerilen ÇSE'nin asenkron motor ile verimi

Şekil 5.32'de gösterildiği gibi motor yüksüzken önerilen ÇSE düşük verimde çalışmaktadır. Yük arttıkça güç faktörü yükselmiş ve verim de artmıştır.

5.4 HFL Kullanılan Diğer ÇSE'lerle Kıyası

Belirli gereksinimleri karşılayan uygun bir ÇSE konfigürasyonunun seçimi, büyük ölçüde maliyet fonksiyonu (CF)'nun önemli bir faktör olarak değerlendirilmesine dayanır. HFL kullanan ÇSE'ler için N_{SW}, N_{DD}, kapasitör sayısı (N_{CAP}), TSV, sürücü devresi sayısı (N_{DRI}) ve transformatör sayısı (N_{TR}) gibi çeşitli parametrelerle ilişkilidir. Bu nedenle CF, (Burnham vd., 2017; Energy, 2017)'deki ilişki aşağıdaki gibi değiştirilerek belirlenir.

$$CF = N_{SW} + N_{DD} + N_{Driver} + N_{Cap} + N_{Tr} + \alpha \cdot TSV_{PU} \tag{4.30}$$

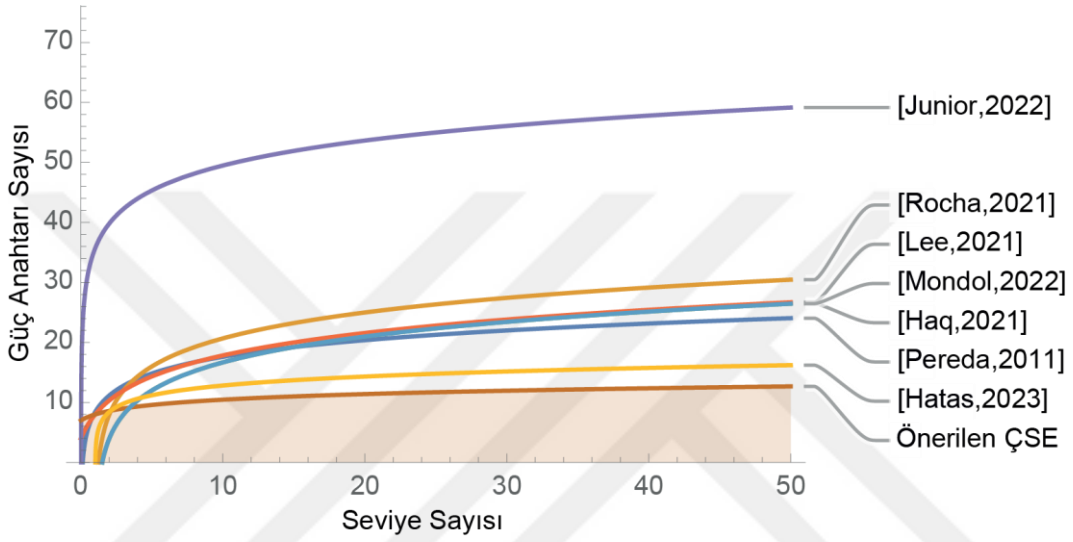
TSV'yi N_{SW}'ye göre önceliklendirirken, ağırlık katsayısı α'ya 1'den büyük bir değer, genellikle a=1,5 atanır. Tersine, TSV'nin N_{SW}'den daha az önemli olduğu kabul edilirse, α, 1'den küçük bir değere, özellikle a=0,5'e ayarlanır. Daha sonra bu ağırlık katsayısına göre maliyet faktörü hesaplanır. 35 seviye başına bir CF için, maliyet fonksiyonu α=0,5 olduğunda 1,85 ve α=1,5 olduğunda 2.14 değerini verir. Tablo 3, gerilim seviyesi başına maliyet fonksiyonunun değişen ağırlık katsayıları ile önerilen topolojinin performansını sunar.

Önerilen ÇSE topolojisi literatürde yakın zamanlarda yayınlanan çalışmalarla karşılaştırılmış ve karşılaştırma parametreleri Çizelge 5.3'te sunulmuştur.

Çizelge 5.3 Farklı topolojilerin CF'sinin karşılaştırılması

Topoloji	N_{LEVEL}	N_{SW}	N_{DRI}	N_{DD}	N_{CAP}	N_{TR}	TSV xV_{DA}	CF/N_{LEVEL} α=0.5	CF/N_{LEVEL} α=1.5
(Pereda, 2011)	27	16	16	8	3	1	10	1.81	2.18
(Rocha, 2021)	9	20	20	12	4	1	20	7.44	9.66
(Haq, 2021)	5	12	12	8	2	1	12	8.2	10.6
(Lee, 2021)	15	20	20	8	3	2	30	4.53	6.53
(Junior, 2022)	49	16	16	12	4	1	10.85	1.11	1.33
Önerilen ÇSE	31	16	16	16	4	1	9	1.85	2.14
(Mondol, 2022)	5	10	10	8	2	1	14.5	7.65	10.55
(Hatas, 2023b)	35	13	13	13	5	1	13	1.47	1.84

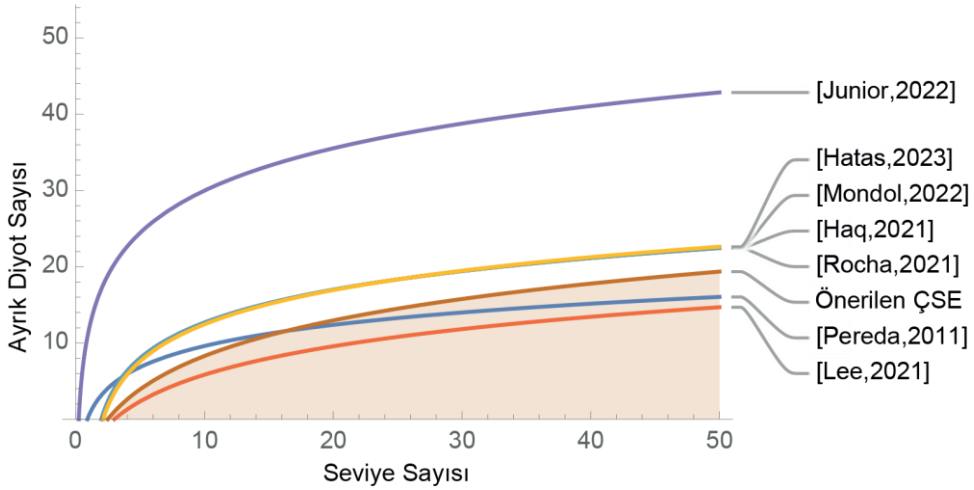
Ayrıca, önerilen topolojinin diğer topolojilere göre güç anahtarı sayısı, ayrık diyot sayısı, TSV ve THB yönünden grafiksel karşılaştırmaları sunulmuştur. Aynı sayıda çıkış seviyesi için daha az güç bileşeni gerektiren ÇSE topolojileri maliyet açısından önemli bir üstünlüğe sahiptir. Şekil 5.33 literatürde yakın zamanlarda yayınlanmış ÇSE topolojileri ile önerilen topolojinin seviye sayısına karşı kullanılan anahtar sayılarını göstermektedir.



Şekil 5.33 Seviye sayısına karşı güç anahtarı sayılarının karşılaştırılması

Şekil 5.33'te görüldüğü üzere önerilen topoloji aynı sayıda çıkış seviyesi için diğer tüm topolojilerden daha az güç anahtarı gerektirmektedir. Her bir anahtar ile beraber topoloji seviyesi iki katına çıktığı için artan seviye sayısında kullanılması gereken anahtar sayısı artışı sabit gibi görünmektedir.

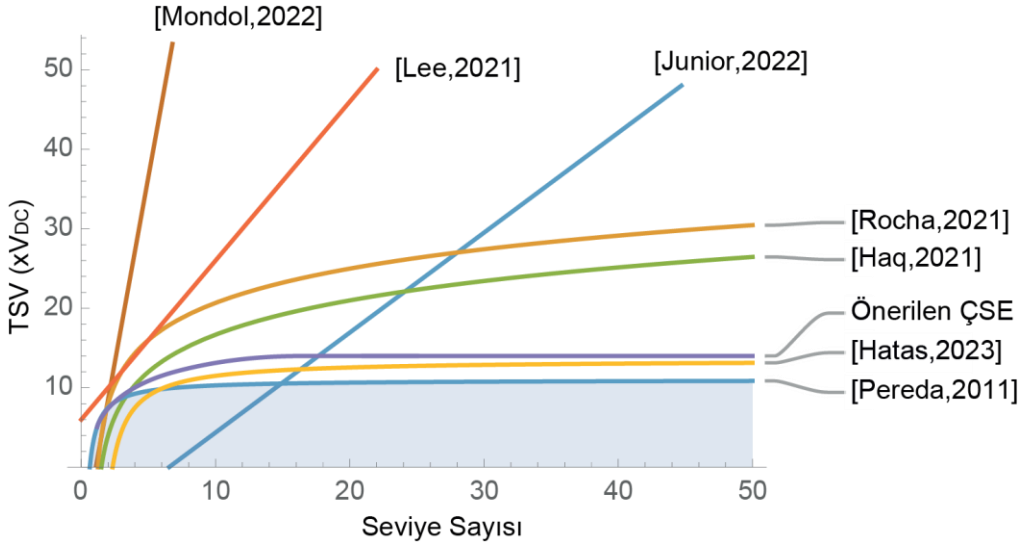
Şekil 5.34 seviye sayısına karşı topolojilerin kullandığı ayrık diyot sayılarının karşılaştırmasını göstermektedir.



Şekil 5.34 Seviye sayısına karşı ayrık diyot sayılarının karşılaştırılması

Şekil 5.34 görüldüğü üzere önerilen topolojinin ayrık diyot kullanımı diğer tüm topolojilere göre orta seviyede olduğu görülmektedir. Diyot kullanımı kontrol yükünü arttırmadığı için kullanımının fazla olması ÇSE topolojisi için karmaşıklık oluşturmaz.

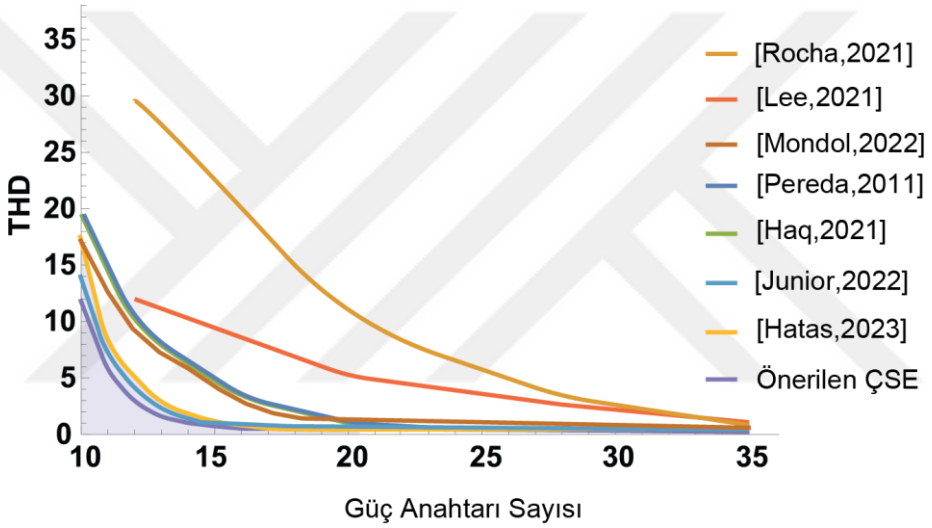
ÇSE topolojileri için TSV kullandıkları gerilim seviyesi ve uygulama türüne bağlı olarak önemli kısıtlamalara neden olmaktadır. Özellikle yüksek gerilim ve yüksek güç uygulamalarında anahtarın maruz kaldıkları toplam gerilim stresi maliyet ve verim açısından belirleyici bir etkiye sahiptir. Seviye sayısına karşı TSV karşılaştırılması Şekil 5.35'te gösterilmiştir.



Şekil 5.35 Seviye sayısına karşı TSV karşılaştırılması

Şekil 5.35'te görüldüğü gibi önerilen topolojinin TSV'si diğer topolojilerle karşılaştırıldığından önemli ölçüde düşüktür. TSV'nin artan seviye sayılarında sabit çıkması maliyetin artan seviyelerde nispeten az artacağını belirtir. Önerilen topolojinin TSV'si seviye sayısı sonsuza giderken $14V_{DA}$ olarak hesaplanmıştır.

Çıkış gerilimi dalga şeklinin tam sinüzoidal dalga şekline benzemesi verimi önemli ölçüde etkilemektedir. Birçok uygulama çıkış geriliminde çok düşük harmonik bozulma gerektirdiğinden önerilen topolojilerin çıkış geriliminde düşük THB olması önemlidir. Bu yüzden Şekil 5.36'da diğer topolojilere göre çıkış gerilimindeki harmonik bozulma karşılaştırılmıştır.



Şekil 5.36 Güç anahtarı sayısına karşı THB karşılaştırılması

Şekil 5.36'da görüldüğü üzere aynı sayıda kullanılan güç anahtarına karşı önerilen topoloji en düşük THB sağlayanlar arasındadır. Grafiği eşit THB'ye göre değerlendirdiğimizde bazı topolojilerin çok sayıda anahtar gerektirdiği gözlenir. Örneğin %5.4 THB için önerilen ÇSE 11 anahtar gerektirirken (Rocha vd., 2021) ve (Lee vd., 2021) topolojilerinde ise 20'den fazla anahtar gerektiği gözlemlenmektedir.

5.5 Klasik Evirici ile Kıyas

Klasik eviriciler sadece 6 anahtarlama elemanı ile oluşturuldukları için kontrolü oldukça basittir. Bu eviriciler temel frekansta anahtarlandıklarında oldukça kötü kalitede bir çıkış verirler. Çıkış gerilim kalitesini arttırmak için yüksek değerlerde çeşitli filtreler

kullanılabilir ya da PWM anahtarlama ile nispeten daha düşük değerli filtreler kullanılabilir. PWM anahtarlama ile frekansa bağlı olarak bir miktar güç kaybı gerçekleşir. Çizelge 5.4'te klasik evirici ve önerilen ÇSE parametreleri aynı yüke faz RMS'leri eşit ayarlanarak verilmiştir.

Çizelge 5.4 Klasik Evirici ve önerilen ÇSE parametreleri

Parametreler	Klasik Evirici	Önerilen ÇSE
Giriş gerilimi	320V	100V
Anahtarlama sayısı	6	28
Sürücü sayısı	3	16
Ayrık diyot sayısı	-	48
Kapasitör sayısı	-	9
Transformatör sayısı	-	1
Verim	%99	%96.5
Gerilim THB	%31	%2.7

Çizelge 5.4'teki parametrelere göre klasik eviricinin üstün tarafları yüksek veride çalışması, az anahtar gerektirmesi, sürücü sinyallerinin az olması, harici olarak diyot, kapasitör ve transformatör gerektirmemesidir. Klasik eviricinin dezavantajları ise öerilen ÇSE'ye göre 3 katından daha çok bir giriş gerilimi gerektirir. Yüksek giriş gerilimi anahtar maliyetini de arttırır. Ayrıca klasik eviricide PWM kullanılması verimi azaltır.

Önerilen ÇSE'nin üstün tarafları düşük giriş gerilimi gerektirmesi ve düşük *dv/dt* ile yüksek kalitede filtresiz halde IEEE 519 standartlarına uygun bir çıkış elde edilmesidir. Ayrıca hem temel hem de PWM ile çalışarak saf sinüs dalga formuna daha yakın evirici çıkış gerilimi elde edilir.

Sonuç olarak klasik evirici endüstri kullanımı için büyük fırsatlar sunmaktadır. Fakat yüksek hassasiyet isteyen ve hacimin önemli olduğu EA sürücüleri gibi uygulamalarda ÇSE'ler kullanılabilir. Yüksek gerilimli uygulamalarda da ÇSE'ler düşük gerilimli anahtarlama elemanlarının kullanılabilmesi ÇSE'leri klasik eviricilere üstün kılmaktadır.

5.6 Önerilen Topolojinin EA Sürücü Sistemine Uygunluğu

Asimetrik çok seviyeli eviricilerin ana avantajı, minimum sayıda güç kaynağı ile maksimum çıkış seviyesi elde etmektir. Çok sayıdaki izole DA kaynağı, batarya ve şarj sistemini karmaşık hale getirir. Bu çalışmada kullanılan HFL, ana topolojinin ihtiyaç duyduğu çok sayıdaki DA kaynağı tek bir kaynağa düşürerek EA'lara uygulanabilmesini sağlar. Önerilen topolojinin avantajları ve dezavantajları ve bu dezavantajların olası çözümleri verilmiştir.

EA'larda sürücü çeşidi belirlenirken maliyet, karmaşıklık, sürücü sisteminin hacim ve ağırlığın azaltılarak araca maksimum katkıda bulunması beklenir. Maliyet nihai kullanıcı tarafından uygun bütçeye alınmasına, karmaşıklık kontrol zorluğuna, hacmin azalması araçta diğer bölümlere daha fazla yer ayrılmasına ve ağırlık ise aracın genel ağırlığının azalmasına neden olur.

Son zamanlarda EA üreticileri batarya gerilimlerinde artışa yönelmişlerdir. ÇSE'lerin elektrikli gemi ve elektrikli trenlerde yüksek güç ve yüksek gerilim uygulamalarındaki uygulamaları bu topolojilerin EA'larda kullanılabilirliği ile örtüşmektedir. Hızlı şarj özelliğini destekleyen 800V bir batarya kullanım durumunda evirici çıkışına 1500V'a göre tasarlanmış bir motor bağlanabilir. Önerilen topolojinin yüksek gerilimlerde düşük gerilimli anahtarla çalışabilmesi anahtarlama maliyeti azaltır. Motor ve kablo tesisatının maliyet, hacim ve ağırlığını azaltır.

Önerilen topolojide güç anahtarları referans sinyalin frekansında ve katlarında çalışır. Motor hızıyla doğru orantılı frekans, güç kaybını ve soğutucu ihtiyacını azaltır. Giriş gerilimi ile çıkış gerilim genliği doğru orantılı olduğu için önerilen topolojiye eklenen düşürücü dönüştürücü sayesinde çıkış gerilim kontrolü tek bir anahtarla yapılır. Bu da her hızda motora sabit ve düşük THB'li bir gerilim vererek aracın konforlu çalışmasına izin verir. Düşürücü devrenin olası arızasında motor sürücüsü sabit adım modunda çıkış seviyesinden ödün vererek düşük gerilimlerde çalışmaya devam eder. Ayrıca referans sinyal frekansı ile düşürücü dönüştürücü devrenin anahtarı birlikte kontrol edilerek frekans değişiminin önemli olduğu Gerilim/frekans gibi motor kontrol sistemlerinin kullanımını kolaylaştırır.

HFL sisteminin toplam gücün %45 ini oluşturması toplayıcı devrenin kaynağa doğrudan bağlı anahtarlarının yükünü azaltır. Bu anahtarların düşük gerilimlerde

seçilmesi maliyeti azaltır. Doğrultucu devrede kare sinyal doğrultulduğu için ve kullanılan kapasitörler motordan akım emmediği için kapasitansları düşük seçilir. Bu da hem hacim hem de maliyeti azaltır. Ayrıca rejeneratif frenleme sırasında önerilen topoloji devre 3 seviyeli olarak bataryaya doğrudan bağlı anahtarlar üzerinden gerilimi bataryaya aktarabilir.

ÇSE'lerin fazla anahtar ve sürücü kullanımı maliyeti ve karmaşıklığı arttırır. Anahtarlama sayısının diğer ÇSE topolojilerine göre az olması anahtar sürücüsü sayısı ve soğutucu hacmi bakımında avantaj sağlar. FPGA ve DSP gibi kartlar anahtarlama sinyallerini doğrudan kontrol yöntemine göre oluştukları için karmaşıklık tek anahtarı kontrol etme seviyesine düşer.

Eviricinin çıkış gerilimlerin sıfır geçişlerde ana topolojiden dolayı gerilim sıçraması meydana gelmektedir. Bu sıçrama paralel olarak filtrelenen düşük değerli bir kutupsuz kapasitörle engellenmektedir. Motorun düşük hızlarda çalışmasıyla sıfır geçiş gerilim sıçraması kullanılan kapasitörü de bastırarak motor vuruntusuna neden olur. Fakat bu vuruntu görece THB düşük olduğu için klasik eviricideki kadar hissedilmez. Çünkü önerilen topolojinin düşük hızlardaki sıfır geçiş sıçramalı gerilim formu klasik eviriciye göre daha kalitelidir.

Önerilen topolojide kullanılan transformatör ve HFL H-köprü devresinin yüksek frekansta çalışması genel verimliliği azaltmıştır. Toroid transformatör yerine katı hal transformatör kullanımı genel verimi arttırabilir. Ayrıca HFL H-köprü anahtarlarının düşük iç dirence sahip olan ve yükselme alçalma sürelerinin kısa olduğu GaN veya SiC gibi anahtarlarla değiştirilmesi de genel verimliliği artırabilir.

6. SONUÇ

Günümüzde çevresel etkilerin azaltılması ve enerji verimliliğinin artırılması amacıyla elektrikli araçlar (EA) giderek daha fazla tercih edilmektedir. EA'ların önemli bir bileşeni olan motorlar, aracın performansını ve enerji verimliliğini etkileyen kritik bir unsurdur. Bu bağlamda, EA'da kullanılan motorların tasarımı ve seçimi büyük bir öneme sahiptir. AA motorları, EA'da enerjiyi mümkün olduğunca verimli bir şekilde kullanması, yüksek verimlilik, yüksek güç yoğunluğuna sahip olmaları, daha küçük ve hafif motorlarla daha fazla güç sağlanabilmesi nedeniyle EA'nın performansını artırırken ağırlığın azaltması gibi birçok avantaj sunarlar. Önerilen topoloji son zamanlardaki EA batarya gerilim artışıyla uyumludur. Hızlı şarj özelliğini destekleyen 800v bir batarya kullanım durumunda evirici çıkışına 1500V'a göre tasarlanmış bir motor bağlanabilir. Önerilen topolojinin yüksek gerilimlerde düşük gerilimli anahtarla çalışabilmesi anahtarlama maliyeti azaltır. Motor ve kablo tesisatının maliyet, hacim ve ağırlığını azaltır.

Bu tez çalışmasında, son zamanlarda yayınlanan topolojilere kıyasla daha az anahtarlama elemanına sahip, tek bir DA kaynağı ile küçük bir HFL tabanlı asimetrik toplayıcı kullanarak 31 seviyeli ÇSE devresi gerçekleştirilmiştir. Düşük değerdeki indüktif filtre kullanımı akım formunu sinüse oldukça benzettiği ve yüksek indüktif filtrenin gerilimde sıfır geçişinde sıçramaya neden olduğu gözlemlenmiştir. Önerilen ÇSE çıkışında AA motor kullanımında da yüksek indüktif yükten dolayı sıfır gerilim geçişlerinde sıçrama gözlenmiştir. Bu sıçrama gerilimin önerilen topolojinin çıkışlarına paralel bağlanan küçük kapasitanslı kapasitör ile giderildiği gözlemlenmiştir. Benzetim ve deneysel çalışmalara göre NLC ve SPWM kontrol yöntemlerinin 31 seviye çıkış gerilimi için THB değerleri %5'ten düşük çıkarak IEEE 519 ve TS-EN50160 standardlarını sağlamaktadır. Bu nedenle önerilen topolojide birçok topolojiye avantaj sağlayan SPWM kullanımının anlamlı olmadığı kanısına varılmıştır.

Geçekleştirilen ÇSE devresiyle DA bara gerilimlerinin asimetrik düzenlenmiş ve benzer çalışmalara kıyasla birçok avantaja sahip olduğu görülmüştür. Çalışmanın çıkış seviyesine oranla diğer topolojilere daha az anahtar kullanılmış olması, anahtarlama sayısının düşük olması, sistemin kontrol yükünü azaltması ve güvenilirliği artırması çalışmanın öne çıkan değerleridir. Ayrıca önerilen topolojinin daha az kapasitör

kullanılması, TSV'nin önemli ölçüde düşük olması, Klasik eviricilere göre düşük THB, düşük gerilim değişim oranı ve düşük EMI'ye sahip olması çalışmanın önemini gösterir. Önerilen topolojinin anahtarlama sayısının diğer ÇSE topolojilerine göre az olması anahtar sürücüsü sayısı ve soğutucu hacmi bakımında avantaj sağlar. FPGA ve DSP gibi kartlar anahtarlama sinyallerini doğrudan kontrol yöntemine göre oluştukları için karmaşıklık tek anahtarı kontrol etme seviyesine düşer.

Daha düşük anahtarlama elemanlarının kullanılması önerilen topolojinin anahtarlama kayıplarını ve maliyetini azaltır. HFL sisteminin toplam gücün %45 ini oluşturması toplayıcı devrenin kaynağa doğrudan bağlı anahtarlarının yükünü azaltır. Ayrıca AUX birimleri, yalnızca rejeneratif frenleme durumunda yükten gelen enerjiyi kısa bir süre için emer. Bu, AUX birimlerindeki kapasitörlerinin nispeten küçük seçilebileceği anlamına gelir. Devrede faz başına bir H-köprüsü kullanılması ve temel frekansta çalışması eviricinin verimini arttırır. Tek bir bataryadan beslenebildiği için EA evirici uygulamalarında ve birden fazla izole DA kaynağına ihtiyaç duyan diğer endüstri uygulamalarında kullanılabilir. Değişken DA kaynağı, çıkış gerilimini doğrudan etkilediğinden, çıkış geriliminin tek bir anahtar ile değiştirilebilmesi, uygulamaların kontrol edilmesini kolaylaştırır.

Önerilen topolojide güç anahtarları temel frekansta çalışır. Motor hızıyla doğru orantılı referans sinyal frekansı güç kaybını ve soğutucu ihtiyacını azaltır. Giriş gerilimi ile çıkış gerilim genliği doğru orantılı olduğu için önerilen topolojiye eklenen düşürücü dönüştürücü sayesinde çıkış gerilim kontrolü tek bir anahtarla yapılır. Ayrıca referans sinyal frekansı ile düşürücü dönüştürücü devrenin anahtarı birlikte kontrol edilerek frekans değişiminin önemli olduğu Gerilim/frekans gibi motor kontrol sistemlerinin kullanımını kolaylaştırır.

KAYNAKLAR

Abouzeid, A. F., Guerrero, J. M., Endemaño, A., Muniategui, I., Ortega, D., Larrazabal, I., Briz, F. (2020). Control strategies for induction motors in railway traction applications. *Energies*, 13(3), 700-721. doi:10.3390/en13030700

Abushafa, O. S. M., Gadoue, S. M., Dahidah, M. S. A., Atkinson, D. J., Missailidis, P. (2018). Capacitor voltage estimation scheme with reduced number of sensors for modular multilevel converters. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 6(4), 2086-2097. doi:10.1109/JESTPE.2018.2797245

Bilgin, B., Magne, P., Malysz, P., Yang, Y., Pantelic, V., Preindl, M., Emadi, A. (2015). Making the Case for Electrified Transportation. *IEEE Transactions on Transportation Electrification*, 1(1), 4-17. doi:10.1109/TTE.2015.2437338

Bubert, A., Oberdieck, K., Xu, H., De Doncker, R. W. (2018). Experimental Validation of Design Concepts for Future EV-Traction Inverters. **2018 IEEE Transportation and Electrification Conference and Expo, ITEC**, California, USA.

Burnham, A., Dufek, E. J., Stephens, T., Francfort, J., Michelbacher, C., Carlson, R. B., Tanim, T. R. (2017). Enabling fast charging – Infrastructure and economic considerations. *Journal of Power Sources*, 367, 237-249. doi:10.1016/j.jpowsour.2017.06.079

Buticchi, G., Barater, D., Lorenzani, E., Concari, C., Franceschini, G. (2014). A nine-level grid-connected converter topology for single-phase transformerless PV systems. *IEEE Transactions on Industrial Electronics*, 61(8), 3951-3960. doi:10.1109/TIE.2013.2286562

Choudhury, A., Pillay, P., Williamson, S. S. (2014). Comparative Analysis Between Two-Level and Three-Level DC/AC Electric Vehicle Traction Inverters Using a Novel DC-Link Voltage Balancing Algorithm. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2(3), 529-540. doi:10.1109/JESTPE.2014.2310140

De Santiago, J., Bernhoff, H., Ekergård, B., Eriksson, S., Ferhatovic, S., Waters, R., Leijon, M. (2012). Electrical motor drivelines in commercial all-electric vehicles: A review. *IEEE Transactions on Vehicular Technology*, 61(2), 475-484. doi:10.1109/TVT.2011.2177873

Ebrahimi, J., Babaei, E., Gharehpetian, G. B. (2012). A new multilevel converter topology with reduced number of power electronic components. *IEEE Transactions on Industrial Electronics*, 59(2), 655-667. doi:10.1109/TIE.2011.2151813

Energy. (2017). US drive electrical and electronics technical team roadmap. Erişim tarihi: 5 Haziran 2022. Erişim adresi: https://www.energy.gov/eere/vehicles/downloads/us-drive-electrical-and-electronics-technical-teamroadmap.

Glinka, M. (2004). Prototype of multiphase modular-multilevel-converter with 2MW power rating and 17- Level- output- voltage. **PESC Record - IEEE Annual Power Electronics Specialists Conference,** Aachen, Germany

Glinka, Martin, Marquardt, R. (2005). A new AC/AC multilevel converter family. *IEEE Transactions on Industrial Electronics*, 52(3), 662-669. doi:10.1109/TIE.2005.843973

Gupta, K. K., Ranjan, A., Bhatnagar, P., Sahu, K., Jain, S. (2016). Multilevel Inverter Topologies With Reduced Device Count: A Review. *IEEE Transactıons on Power Electronics*, 31(1), 135-151. doi:10.1109/TPEL.2015.2405012

Hammond, P. W. (1997). A new approach to enhance power quality for medium voltage AC drives. *IEEE Transactions on Industry Applications*, 33(1), 202-208. doi:10.1109/28.567113

Haq, S., Biswas, S. P., Hosain, M. K., Rahman, M. A., Islam, M. R., Jahan, S. (2021). A modular multilevel converter with an advanced pwm control technique for grid-tied photovoltaic system. *Energies*, 14(2), 331-350. doi:10.3390/en14020331

Hashemnia, N., Asaei, B. (2008). Comparative study of using different electric motors in the electric vehicles. **International Conference on Electrical Machines, ICEM**,. Vilamoura, Portugal.

Hatas, H., Almali, M. N. (2023a). Design and Control of a Novel Topology for Multilevel Inverters Using High Frequency Link. *Electric Power Systems Research*, 221, 109458-109469. doi:10.1016/j.epsr.2023.109458

Hatas, H., Almali, M. N. (2023b). Design and control of bypass diode multilevel inverter using a single DC source. *Electric Power Systems Research*, 216, 109039-109050. doi:10.1016/J.EPSR.2022.109039

Hochgraf, C., Lasseter, R., Divan, D., Lipo, T. A. (1994). Comparison of multilevel inverters for static var compensation. **IEEE Industry Applications Society Annual Meeting**, Denver, CO, USA

Hosseinzadeh, M. A., Sarebanzadeh, M., Rivera, M., Babaei, E., Wheeler, P. (2021). A Reduced Single-Phase Switched-Diode Cascaded Multilevel Inverter. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 9(3), 3556-3569. doi:10.1109/JESTPE.2020.3010793

Jayal, P., Bhuvaneswari, G. (2021). A novel space vector modulation-based transistor-clamped H bridge inverter-fed permanent magnet synchronous motor drive for electric vehicle applications. *International Transactions on Electrical Energy Systems*, 31(3), 12789-12723. doi:10.1002/2050-7038.12789

Junior, S. C. S., Jacobina, C. B., Fabricio, E. L. L., Felinto, A. S. (2022). Asymmetric 49-Levels Cascaded MPUC Multilevel Inverter Fed by a Single DC Source. *IEEE Transactions on Industry Applications*, 58(6), 7539-7549. doi:10.1109/TIA.2022.3202875

Kabalci, E., Colak, I., Bayindir, R., Pavlitov, C. (2011). Modelling a 7-level asymmetrical H-bridge multilevel inverter with PS-SPWM control. **International Aegean Conference on Electrical Machines and Power Electronics, ACEMP 2011 and Electromotion 2011 Joint Conference**, Istanbul, Turkey.

Kabalcı, E., Boyar, A. (2021). Multilevel inverter applications for electric vehicle drives. *Multilevel Inverters: Control Methods and Advanced Power Electronic Applications*. 185-208. doi:10.1016/B978-0-323-90217-5.00006-X

Kersten, A., Theliander, O., Grunditz, E. A., Thiringer, T., Bongiorno, M. (2019). Battery Loss and Stress Mitigation in a Cascaded H-Bridge Multilevel Inverter for Vehicle Traction Applications by Filter Capacitors. *IEEE Transactions on Transportation Electrification*, 5(3), 659-671. doi:10.1109/TTE.2019.2921852

Keskin, A., Koyuncu, İ. (2022). Yeni Bir Fpga Geliştirme Kartı Tasarımı ve Uygulaması. *Bilgisayar Bilimleri ve Teknolojileri Dergisi*. *3*(2), 46-55. doi:10.54047/bibted.1149594

Koshti, A. K., Rao, M. N. (2017). A brief review on multilevel inverter topologies. **International Conference on Data Management, Analytics and Innovation, ICDMAI**, Pune, India

Krishna, R. A., Suresh, L. P. (2016). A brief review on multi level inverter topologies. **IEEE International Conference on Circuit, Power and Computing Technologies, ICCPCT**, Nagercoil, India

Kumar, J., Kumpulainen, L., Kauhaniemi, K. (2019). Technical design aspects of harbour area grid for shore to ship power: State of the art and future solutions. *International Journal of Electrical Power and Energy Systems*, 104, 840-852. doi:10.1016/j.ijepes.2018.07.051

Lakka, M., Koutroulis, E., Dollas, A. (2014). Development of an FPGA-based SPWM generator for high switching frequency DC/AC inverters. *IEEE Transactions on Power Electronics*, 29(1), 356-365. doi:10.1109/TPEL.2013.2253216

Lee, M., Yeh, C. S., Lai, J. S. (2021). A Hybrid Binary-Cascaded Multilevel Inverter with Simple Floating-Capacitor-Voltage Control. *IEEE Transactions on Power Electronics*, 36(2), 2218-2230. doi:10.1109/TPEL.2020.3007122

Leon, J. I., Vazquez, S., Franquelo, L. G. (2017). Multilevel Converters: Control and Modulation Techniques for Their Operation and Industrial Applications. *Proceedings of the IEEE*, 105(11), 2066-2081. doi:10.1109/JPROC.2017.2726583

LePan, N., (2019). How much copper is in an electric vehicle? Erişim tarihi 20 Haziran 2022. Erişim adresi: https://www.visualcapitalist.com/how-much-copper-is-in-an-electric-vehicle.

Manjrekar, M., Lipo, T. (1998). Hybrid multilevel inverter topology for drive applications. *IEEE Applied Power Electronics Conference and Exposition - APEC*, 2, 523-529. doi:10.1109/APEC.1998.653825, Anaheim, CA, USA

Media. (2020). Gm reveals new ultium batteries and a flexible global platform to rapidly grow its ev portfolio,. Erişim tarihi 20 Haziran 2022. Erişim adresi: https://media.gm.ca**.**

Mondol, M. H., Biswas, S. P., Hosain, M. K. (2022). A new magnetic linked three-phase multilevel inverter with reduced number of switches and balanced DC sources. *Electrical Engineering*, 104(2), 449-461. doi:10.1007/s00202-021-01318-1

Nabae, A., Takahashi, I., Akagi, H. (1981). A New Neutral-Point-Clamped PWM Inverter. *IEEE Transactions on Industry Applications*, IA-17(5), 518-523. doi:10.1109/TIA.1981.4503992

Omer, P., Kumar, J. (2020). A Review on Reduced Switch Count Multilevel Inverter Topologies, *IEEE Access*, 8, 22281-22302. doi:10.1109/ACCESS.2020.2969551

Pereda, J., Dixon, J. (2011). High-frequency link: A solution for using only one DC source in asymmetric cascaded multilevel inverters. *IEEE Transactions on Industrial Electronics*, 58(9), 3884-3892. doi:10.1109/TIE.2010.2103532

Ponraj, R. P., Sigamani, T., Subramanian, V. (2021). A Developed H-Bridge Cascaded Multilevel Inverter with Reduced Switch Count. *Journal of Electrical Engineering and Technology*, 16(3), 1445-1455. doi:10.1007/s42835-021-00680-1

Poorfakhraei, A., Narimani, M., Emadi, A. (2021a). A Review of Modulation and Control Techniques for Multilevel Inverters in Traction Applications. *IEEE Access*, 9, 24187-24204. doi:10.1109/ACCESS.2021.3056612

Poorfakhraei, A., Narimani, M., Emadi, A. (2021b). A review of multilevel inverter topologies in electric vehicles: Current status and future trends. *IEEE Open Journal of Power Electronics*, 2, 155-170. doi:10.1109/OJPEL.2021.3063550

Porsche. (2020). The charging process: Quick, comfortable, intelligent and universal. Erişim tarihi 20 Haziran 2022. Erişim adresi: https://newsroom.porsche.com/en/products/taycan/charging-18558.html.

Reimers, J., Dorn-Gomba, L., Mak, C., Emadi, A. (2019). Automotive Traction Inverters: Current Status and Future Trends. *IEEE Transactions on Vehicular Technology*, 68(4), 3337-3350. doi:10.1109/TVT.2019.2897899

Rocha, F. V., Jacobina, C. B., Rocha, N. (2021a). Multilevel Converter Based on Series and Parallel Connections Using High-Frequency Transformer. **IEEE Energy Conversion Congress and Exposition, ECCE 2021**, Vancouver, BC, Canada

Ronanki, D., Williamson, S. S. (2018). Modular multilevel converters for transportation electrification: Challenges and opportunities. *IEEE Transactions on Transportation Electrification*, 4(2), 399-407. doi:10.1109/TTE.2018.2792330

Ronanki, D., Kelkar, A., Williamson, S. S. (2019). Extreme Fast Charging Technology—Prospects to Enhance Sustainable Electric Transportation. *Energies*, 12(19), 3721-3737. doi:10.3390/EN12193721

Ronanki, D., Williamson, S. S. (2019a). A simplified space vector pulse width modulation implementation in modular multilevel converters for electric ship propulsion systems. *IEEE Transactions on Transportation Electrification*, 5(1), 335-342. doi:10.1109/TTE.2018.2884610

Samadaei, E., Kaviani, M., Bertilsson, K. (2019). A 13-Levels Module (K-Type) With Two DC Sources for Multilevel Inverters. *IEEE Transactions On Industrial Electronics*, 66(7), 5186-5196. doi:10.1109/TIE.2018.2868325

Schefer, H., Fauth, L., Kopp, T. H., Mallwitz, R., Friebe, J., Kurrat, M. (2020). Discussion on Electric Power Supply Systems for All Electric Aircraft. *IEEE Access*, 8, 84188-84216. doi:10.1109/ACCESS.2020.2991804

Selvamuthukumaran, R., Gupta, R. (2014). Rapid prototyping of power electronics converters for photovoltaic system application using Xilinx System Generator. *IET Power Electronics*, 7(9), 2269-2278. doi:10.1049/iet-pel.2013.0736

Spectrum. (2018). China and Japan push for a global charging standard for EVs. Erişim tarihi 20 Haziran 2022. Erişim adresi: https://spectrum.ieee.org/energywise/transportation/efficiency/a-globalcharging-standard-for-evs.

Sucu, H. (2021). *Düşürücü Tip DA-DA Konvertörün Modellenmesi, Tasarımı ve Kontrolü*, Yüksek lisans tezi. İnönü Üniversitesi Fen Bilimleri Enstitüsü, Malatya, Türkiye.

Tu, H., Feng, H., Srdic, S., Lukic, S. (2019). Extreme Fast Charging of Electric Vehicles: A Technology Overview. *IEEE Transactions on Transportation Electrification*, 5(4), 861-878. doi:10.1109/TTE.2019.2958709

VanderWerp, D., (2019). Porsche Taycan's 800-volt architecture enables slimmer wiring, faster charging, less heat. Erişim tarihi 20 Haziran 2022. Erişim adresi: https://www.caranddriver.com/news/a28903284/porsche-taycan-ev-800-volt charging-performance/.

Wand, K., (2016). High performance 800v e-motor for automotive application. Erişim tarihi 20 Haziran 2022. Erişim adresi: https://www.profemag ch/de/downloads/category/35-awt-2016?download=513:2016

Wen, H., Xiao, W., Wen, X., Armstrong, P. (2012). Analysis and evaluation of DC-link capacitors for high-power-density electric vehicle drive systems. *IEEE Transactions on Vehicular Technology*, 61(7), 2950-2964. doi:10.1109/TVT.2012.2206082

Xiao, D., Filho, S. R., Fang, G., Ye, J., Emadi, A. (2022). Position-Sensorless Control of Switched Reluctance Motor Drives: A Review. *IEEE Transactions on Transportation Electrification*, 8(1), 1209-1227. doi:10.1109/TTE.2021.3110867

EKLER

Matlab Code blok kodları

a) NLC kodu

```
function out_1  = level_31(sinx)
level = 1;
half = level/2;
if sinx <= half
    out_1 = 0;
elseif sinx > half && sinx <= level + half
    out_1 = (A)
elseif sinx > level + half && sinx <= 2*level + half
    out_1 = 2;
elseif sinx > 2*level + half && sinx <= 3*level + half
    out_1 = 3;
elseif sinx > 3*level + half && sinx <= 4*level + half
    out_1 = 4;
elseif sinx > 4*level + half && sinx <= 5*level + half
    out_1 = 5;
elseif sinx > 5*level + half && sinx <= 6*level + half
    out_1 = 6;
elseif sinx > 6*level + half && sinx <= 7*level + half
    out_1 = 7;
elseif sinx > 7*level + half && sinx <= 8*level + half
    out_1 = 8;
elseif sinx > 8*level + half && sinx <= 9*level + half
    out_1 = 9;
elseif sinx > 9*level + half && sinx <= 10*level + half
    out_1 = 10;
elseif sinx > 10*level + half && sinx <= 11*level + half
    out_1 = 11;
elseif sinx > 11*level + half && sinx <= 12*level + half
    out_1 = 12;
elseif sinx > 12*level + half && sinx <= 13*level + half
    out_1 = 13;
elseif sinx > 13*level + half && sinx <= 14*level + half
    out_1 = 14;
else
    out_1 = 15;
end
end
```

b) SPWM kodu

```
function [down_1, up_1] = level_31_pwm(sinx)
if sinx <= 1
    up_1 = 1;
    down_1 = 0;
elseif sinx > 1 && sinx <= 2
    up_1 = 2;
    down_1 = 1;
elseif sinx > 2 && sinx <= 3
    up_1 = 3;
    down_1 = 2;
elseif sinx > 3 && sinx <= 4
    up_1 = 4;
    down_1 = 3;
elseif sinx > 4 && sinx <= 5
    up_1 = 5;
    down_1 = 4;
```

```
elseif sinx > 5 && sinx <= 6
    up_1 = 6;
    down_1 = 5;
elseif sinx > 6 && sinx <= 7
    up_1 = 7;
    down_1 = 6;
elseif sinx > 7 && sinx <= 8
    up_1 = 8;
    down_1 = 7;
elseif sinx > 8 && sinx <= 9
    up_1 = 9;
    down_1 = 8;
elseif sinx > 9 && sinx <= 10
    up_1 = 10;
    down_1 = 9;
elseif sinx > 10 && sinx <= 11
    up_1 = 11;
    down_1 = 10;
elseif sinx > 11 && sinx <= 12
    up_1 = 12;
    down_1 = 11;
elseif sinx > 12 && sinx <= 13
    up_1 = 13;
    down_1 = 12;
elseif sinx > 13 && sinx <= 14
    up_1 = 14;
    down_1 = 13;
else
    up_1 = 15;
    down_1 = 14;
end
end
```

c) Klasik evirici temel frekans kodu

```
function [a, b, c]  = induction_class(count)
if count <= 417
    a = 1;
    b = 0;
    c = 1;
elseif count > 417 && count <= 833
    a = 1;
    b = 0;
    c = 0;
elseif count > 833 && count <= 1250
    a = 1;
    b = 1;
    c = 0;
elseif count > 1250 && count <= 1667
    a = 0;
    b = 1;
    c = 0;
elseif count > 1667 && count <= 2083
    a = 0;
    b = 1;
    c = 1;
else
    a = 0;
    b = 0;
    c = 1;
end

end
```

ÖZ GEÇMİŞ

Kişisel Bilgiler

Adı Soyadı : Hasan HATAŞ

Eğitim Bilgileri

Lisans	:	Elektrik-Elektronik Mühendisliği
Üniversite	:	Erciyes Üniversitesi
Fakülte	:	Mühendislik Fakültesi
Bölüm	:	Elektrik-Elektronik Mühendisliği
Mezuniyet Yılı	:	2014
Yüksek Lisans	:	Elektrik-Elektronik Mühendisliği
Üniversite	:	Van Yüzüncü Yıl Üniversitesi
Enstitü	:	Fen Bilimleri Fakültesi
Anabilim Dalı	:	Elektrik-Elektronik Mühendisliği
Mezuniyet Yılı	:	2018

Akademik Yayınlar

Hatas, H., Genc, N., Mamizadeh, A. (2019). FPGA Implementation of SPWM for Cascaded Multilevel Inverter by Using XSG. **2019 4th International Conference on Power Electronics and their Applications, ICPEA 2019**, Elazig, Turkey.

Hatas, H., Almali, M. N. (2023a). Design and Control of a Novel Topology for Multilevel Inverters Using High Frequency Link. *Electric Power Systems Research*, 221, 109458-106469. doi:10.1016/j.epsr.2023.109458

Hatas, H., Almali, M. N. (2023b). Design and control of bypass diode multilevel inverter using a single DC source. *Electric Power Systems Research*, 216, 109039-109050. doi:10.1016/J.EPSR.2022.109039

Karakılıç, M., Hataş, H., Almalı, M.N. (2023). Design of a 21-level multilevel inverter with minimum number of devices count. *International Journal of Circuit Theory and Applications*, 2023, 1–19. doi:10.1002/cta.3730

VAN YÜZÜNCÜ YIL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
LİSANSÜSTÜ TEZ ORİJİNALLİK RAPORU

11/07/2023 .

Tez Başlığı: **Elektrikli Araçlar için Tek DA Kaynağı Kullanılan Yeni Bir Çok Seviyeli Evirici Tasarımı ve Kontrolü**

Yukarıda başlığı belirtilen tez çalışmamın, kapak sayfası, giriş, ana bölümler ve sonuç bölümlerinden oluşan toplam 119 (yüz on dokuz) sayfalık kısmına ilişkin, 10/07/2023 tarihinde şahsım/tez danışmanım tarafından Turnitin adlı intihal tespit programından aşağıda belirtilen filtrelemeler uygulanarak alınmış olan orijinallik raporuna göre tezimin benzerlik oranı %2 (yüzde iki) dir.

Uygulanan filtreler aşağıda verilmiştir:

- Kabul ve onay sayfası hariç,
- Teşekkür hariç,
- İçindekiler hariç,
- Simge ve kısaltmalar hariç,
- Gereç ve yöntemler hariç,
- Kaynakça hariç,
- Alıntılar hariç,
- Tezden çıkan yayınlar hariç,
- 7 kelimeden daha az örtüşme içeren metin kısımları hariç (Limit match size to 7 words)

Van Yüzüncü Yıl Üniversitesi Lisansüstü Tez Orijinallik Raporu Alınması ve Kullanılmasına İlişkin Yönergeyi inceledim ve bu yönergede belirtilen azami benzerlik oranlarına göre tez çalışmamın herhangi bir intihal içermediğini; aksinin tespit edileceği muhtemel durumda doğabilecek her türlü hukuki sorumluluğu kabul ettiğimi ve yukarıda vermiş olduğum bilgilerin doğru olduğunu beyan ederim.

Gereğini bilgilerinize arz ederim.

Tarih ve İmza

Adı Soyadı: Hasan HATAŞ
Öğrenci No: 1810001152
Anabilim Dalı: Elektrik Elektronik Mühendisliği
Programı: Doktora
Statüsü: ( ) Yüksek lisans (x) Doktora

DANIŞMAN	**ENSTİTÜ ONAYI**
UYGUNDUR	UYGUNDUR